

19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

Übersetzung der  
europäischen Patentschrift

51 Int. Cl.<sup>6</sup>:  
H 04 L 12/40

87 EP 0 388 574 B1

10 DE 689 16 231 T 2

21 Deutsches Aktenzeichen:	689 16 231.6
86 Europäisches Aktenzeichen:	89 810 229.8
86 Europäischer Anmeldetag:	23. 3. 89
87 Erstveröffentlichung durch das EPA:	26. 9. 90
87 Veröffentlichungstag der Patenterteilung beim EPA:	15. 6. 94
47 Veröffentlichungstag im Patentblatt:	2. 2. 95

73 Patentinhaber:

International Business Machines Corp., Armonk,  
N.Y., US

74 Vertreter:

Barth, C., Dipl.-Ing., Pat.-Ass., 71088 Holzgerlingen

84 Benannte Vertragsstaaten:

DE, FR, GB

72 Erfinder:

Nassehi, Mehdi M., CH-8134 Adliswil, CH; Müller,  
Hans R., CH-8135 Langnau am Albis, CH; Zurfluh,  
Erwin A., CH-8706 Feldmeilen, CH; Bux, Werner,  
CH-8805 Richterswil, CH; Zafiropulo, Pitro A.,  
CH-8803 Rüschlikon, CH

54 Verfahren und Vorrichtung zum Vielfachzugriff mit verteilten Warteschlangen in einem Kommunikationssystem.

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patentamt inhaltlich nicht geprüft.

DE 689 16 231 T 2

DE 689 16 231 T 2

## B E S C H R E I B U N G

### **Verfahren und Vorrichtung zum Vielfachzugriff mit verteilten Warteschlangen in einem Kommunikationssystem**

#### **BEREICH DER ERFINDUNG**

Die vorliegende Erfindung betrifft den Zugriff auf das Übertragungsmedium in einem Kommunikationsnetzwerk mit zwei Bussen und einer Vielzahl von Stationen, die zwischen ihnen angeschlossen sind, und im besonderen ein Verfahren und eine Vorrichtung, um den Zugriff auf das Übertragungsmedium auf der Grundlage verteilter Anforderungswarteschlangen zu regulieren.

#### **HINTERGRUND**

Mehrere Arten von Netzwerken sind bekannt, in denen mehrere Knoten oder Stationen den Zugriff auf ein gemeinsames Übertragungsmedium erhalten. Beispiele solcher Systeme sind Einzelbus-Netzwerke mit Kollisionserkennung und Token-Ring-Netzwerke sowie Tokenpassing-Busnetze. In jüngster Zeit interessiert man sich für Netzwerke, die eine andere Methode des Vielfachzugriffs auf ein gemeinsames Übertragungsmedium vorsehen. Dabei handelt es sich um Systeme mit zwei parallelen Bussen, wobei die Übertragung von Informationen auf den beiden Bussen gegenläufig ist. Schlitze werden in regelmäßigen Intervallen von Kopfstationen freigesetzt, und diese Schlitze werden von den Knotenstationen zur Datenübertragung verwendet. Jede Knotenstation muß den Zugriff auf einen Schlitz anfordern, indem sie vorher eine Zugriffsanforderung in einem Zugriffskontrollfeld eines passierenenden Schlitzes überträgt. Sie hält die Anzahl der Zugriffsanforderungen fest, die sie von anderen Stationen (die stromaufwärts in der Übertragungsrichtung der Anforderungen positioniert sind) wahrgenommen hat, bevor sie eine eigene Zugriffsanforderung aktiviert, und sie läßt so viele freie Schlitze passieren (zur Belegung durch die anderen Stationen) wie es

die Zählung ergab, bevor sie den nächsten freien Schlitz zur Übertragung ihrer eigenen Daten belegt.

Solche Systeme wurden beispielsweise in einem Fachartikel von R.M. Newman u.a. mit dem Titel "The QPSX MAN" beschrieben, der im IEEE Communications Magazine, Jahrgang 26, Nr. 4 (April 1988) auf den Seiten 20 bis 28 veröffentlicht wurde, sowie in einem Draft Proposed IEEE Standard 802.6 mit dem Titel "Distributed Queue Dual Bus (DQDB) Metropolitan Area Network (MAN)", Draft D6 vom 15. November 1988.

Obgleich diese bekannten Systeme mit verteilten Warteschlangen für Netzwerke mit einer begrenzten Anzahl von Stationen gut geeignet sind, haben sie einige Nachteile, die nicht mehr hinnehmbar sind und das System gegebenenfalls ineffizient machen, wenn die Anzahl der Stationen auf mehrere hundert erhöht wird und wenn sich die Länge der Übertragungsbusse in der Größenordnung von mehreren Kilometern bewegt.

Diese Nachteile sind im einzelnen: Eine "ungleiche Behandlung" mancher Stationen im Gegensatz zu anderen, und zwar aufgrund der Tatsache, daß jede Station auf ein freies Zugriffsanforderungsfeld warten muß, bevor sie eine Anforderung übertragen kann, so daß Stationen, die stromaufwärts (in der Übertragungsrichtung der Anforderungen) positioniert sind, bevorzugt werden, sowie die Tatsache, daß es unmöglich ist, einer Station die Verfügbarkeit einer Folge von fortlaufenden Schlitz zu garantieren, welche die Teile eines Datenpaketes ohne Unterbrechung übertragen möchte.

#### AUFGABEN DER ERFINDUNG

Es ist eine Aufgabe der Erfindung, in einem System mit zwei Bussen und verteilten Anforderungswarteschlangen eine Zugriffsmethode vorzusehen, welche die ungleiche Behandlung der Stationen aufhebt.

Es ist eine weitere Aufgabe der Erfindung, in einem Kommunikationssystem mit verteilten Warteschlangen in einer Station die Verfügbarkeit einer Folge von fortlaufenden freien Übertragungsschlitten zu garantieren, die vorher die entsprechende Anzahl von Schlitten auf einmal angefordert hat.

#### ZUSAMMENFASSUNG DER ERFINDUNG

Diese Aufgaben werden durch das Verfahren und die Vorrichtung der Erfindung erfüllt, die in einem System mit verteilten Warteschlangen die Möglichkeit der gleichzeitigen Anforderung von mehreren Schlitten vorsehen sowie die Speicherung externer, von anderen Stationen wahrgenommener Anforderungen, zusammen mit lokalen Anforderungen, beidesmal in Form einer Anforderungsanzahl, in einer einzigen sequentiellen Anforderungswarteschlange (FIFO-Speicher) ermöglichen. Sie sehen ferner eine individuelle Verzögerung für die Anzahl der Anforderungen vor, die in die Anforderungswarteschlange in einer Station eintreten, und zwar derart, daß der Einfluß unterschiedlicher Laufzeiten, wie sie bei den verschiedenen Stationen entlang der Busse festgestellt werden, eliminiert wird (was andernfalls zu einer Inkonsistenz bei den verteilten Anforderungswarteschlangen führen würde, so daß sich die Stationen im Hinblick auf jedweden bestimmten Schlitz, der auf einem Bus entlangläuft, unterschiedlich verhalten würden).

Die Erfindung gewährleistet, selbst bei einer großen Anzahl von Stationen und in einem Busnetz sehr großer Länge, eine faire Behandlung der Stationen, d. h. jede Station erhält die gleichen Chancen, den Zugriff auf das Übertragungsmedium für Datenübertragungen zu erlangen. Sie gewährleistet außerdem, daß eine Station, wenn sie mit einer einzigen Anforderung eine Vielzahl von Schlitten angefordert hat, eine ununterbrochene Folge von freien Schlitten erhält, wie sie es zu Beginn der Übertragung angefordert hat, so daß die Notwendigkeit, die verschiedenen Segmente eines Datenpaketes zu nummerieren und Verwaltungsprozeduren vorzusehen, um sie wieder zusammenzusetzen (da sie vielleicht nicht

fortlaufend an ihrem Bestimmungsort ankommen), entfällt.

Dies und andere Vorteile gehen aus der nachstehenden Beschreibung und den anschaulichen Zeichnungen einer bevorzugten Ausführungsform der Erfindung deutlicher hervor.

#### LISTE DER ZEICHNUNGEN

Fig. 1A ist eine schematische Darstellung eines Doppelbussystems, in dem die Erfindung eingesetzt werden kann.

Fig. 1B ist eine schematische Darstellung eines Faltbussystems, in dem die Erfindung eingesetzt werden kann.

Fig. 2A bis 2D zeigen die Darstellung von Daten auf den Bussen, im besonderen einen Zyklusrahmen (2A), der mehrere Schlitzte enthält, einen Schlitz (2B) mit seinen verschiedenen Feldern sowie zwei Formen eines Zugriffskontrollfeldes eines Schlitzes (2C, 2D).

Fig. 3 zeigt den Anforderungswarteschlangen-Speicher einer Station gemäß der Erfindung sowie die damit verbundene Schaltung.

Fig. 4 zeigt schematisch die Anforderungswarteschlangen zweier Stationen und veranschaulicht die unterschiedlichen Laufzeiten bei den Anforderungen, bevor sie in die Anforderungswarteschlangen eintreten.

Fig. 5 zeigt die Anforderungswarteschlange einer Station in Verbindung mit einem Verzögerungselement gemäß der Erfindung.

Fig. 6 zeigt schematisch die Anforderungswarteschlangen und ihre zugehörigen Verzögerungselemente in zwei Stationen.

Fig. 7 (Kombination aus Fig. 7A und 7B) ist ein Blockdiagramm der Anforderungswarteschlange und Buszugriffsschaltung einer Station, in der die Erfindung integriert ist.

Fig. 8 ist ein Blockdiagramm einer Bussteuereinheit der Schaltung von Fig. 7.

Fig. 9 ist ein Blockdiagramm einer weiteren Bussteuereinheit der Schaltung von Fig. 7.

Fig. 10 zeigt die Umlauf-Änderungen für ein Doppelbussystem, welche die Initialisierung individueller Verzögerungen in den Stationen durch die Übertragung von speziellen Marken ermöglichen.

Fig. 11 ist ein Blockdiagramm der Anschlußschaltung, die jede Station mit den beiden Bussen verbindet, einschließlich Signalumwandlung und Taktsignalableitung.

#### AUSFÜHRLICHE BESCHREIBUNG

##### 1) Umgebungssystem (Basisnetzwerk)

Fig. 1A und 1B zeigen zwei Formen eines Kommunikationsnetzwerks, in dem die vorliegende Erfindung Anwendung findet. Beide Netzwerke bestehen aus zwei Bussen (oder Bussegmenten) mit mehreren Stationen (Knoten), die zwischen den beiden Bussen angeschlossen sind. Informationen auf jedem Bus fließen nur in eine Richtung, und auf den beiden Bussen sind sie gegenläufig (antiparallel).

Das Netzwerk von Fig. 1A, das als Doppelbus-Konfiguration bezeichnet wird, weist zwei getrennte Busse A (11) und B (13) auf. Eine Kopfstation ist mit jedem Bus verbunden, d. h. die Kopfstation HE-A (15) ist mit dem Bus A verbunden, und die Kopfstation HE-B (17) ist mit dem Bus B verbunden. Jede Kopfstation setzt Zeitschlitz frei (nachstehend erläutert), die von den Knotenstationen (19-1, 19-2, ..., 19-N) entlang des Busses zur Datenübertragung verwendet werden können. Eine spezielle Anforderungsmethode, die "verteilte Warteschlangenbildung", dient zur Regulierung des Zugriffs der Stationen auf Schlitz auf dem Bus. Das Doppelbussystem und die Zugriffsmethode (die nachfolgend

noch einmal kurz erläutert wird) wurden in dem bereits oben in der Einführung erwähnten Fachartikel und dem Normenvorschlag beschrieben.

Jeder Bus könnte an der Knotenstation fern der zugehörigen Kopfstation enden, ohne mit der anderen Kopfstation verbunden zu sein. Jedoch kann eine Verbindung von der letzten Knotenstation (beispielsweise N) zu der anderen Kopfstation (beispielsweise HE-B), die als Linie ohne Pfeil (21, 23) dargestellt ist, für besondere Zwecke bereitgestellt werden.

Das in Fig. 1B gezeigte Netzwerk, das als Faltbus-Konfiguration bezeichnet wird, besteht im wesentlichen aus mehreren Knotenstationen (25-1, 25-2, ..., 25-N), einer einzigen Kopfstation (27) und einem Faltbus mit zwei Bussegmenten, die als Bus A und Bus B beziehungsweise abgehender Bus (31) und eingehender Bus (33) bezeichnet werden. Eine Faltverbindung (29) ist bei der letzten Station N vorgesehen, um die beiden Bussegmente miteinander zu verbinden. Die Kopfstation ist mit beiden Bussegmenten verbunden, um Zeitschlitzte an den abgehenden Bus (A) freizusetzen und zurückkommende Zeitschlitzte auf dem eingehenden Bus (B) zu empfangen. (Im Prinzip könnte die Verbindung des eingehenden Busses von der ersten Station zurück zur Kopfstation, die in der Zeichnung mit "35" gekennzeichnet ist, in einem gewöhnlichen Faltbus-system weggelassen werden, jedoch wird hier davon ausgegangen, daß eine solche Verbindung besteht). Wie in dem Doppelbusnetzwerk von Fig. 1A sind die Informationen auf den beiden Bussegmenten gegenläufig. Derselbe Zugriffsmechanismus (verteilte Warteschlangenbildung) kann somit auch auf diesem Faltbussystem eingesetzt werden.

Der einfacheren Beschreibung halber wird der Begriff "Bus" im folgenden für jeden der beiden getrennten Busse eines Doppelbus-systems verwendet als auch für jedes der beiden Bussegmente eines Faltbussystems.

Im folgenden wird die Erfindung lediglich in Verbindung mit ei-

nem Faltbussystem, wie in Fig. 1B gezeigt, erläutert, um Komplikationen in der Beschreibung aufgrund der Tatsache, daß alles auf dem Doppelbussystem von Fig. 1A dupliziert wird (Anforderungen auf dem Bus A für den Zugriff auf Bus B und Anforderungen auf dem Bus B für den Zugriff auf Bus A), zu vermeiden. Es sei jedoch erwähnt, daß die Erfindung auch für solche Doppelbussysteme gut geeignet ist, und jedwede erforderlichen Änderungen werden am Ende der Beschreibung erläutert.

#### Rahmen-/Schlitz-Struktur:

Fig. 2A bis 2D zeigen die Struktur der Informationen auf den Bussen. Die Basiseinheit ist der Schlitz. Jede Kopfstation generiert in regelmäßigen Intervallen solche Schlitzze, die eine feste Länge haben. Zu Synchronisations- und Steuerungszwecken kann ein Zyklusrahmen, wie in Fig. 2A gezeigt, definiert werden. Der Zyklusrahmen beginnt mit einem Zyklusrahmen-Vorspann, der Informationen über die Synchronisation, Gesamtsteuerung, Konfiguration usw. enthält. Im Anschluß an den Vorspann folgen fortlaufende Schlitzze.

Das Schlitzformat ist in Fig. 2B gezeigt. Jeder Schlitz hat ein Zugriffskontrollfeld (ACF) für Steuerungsinformationen und ein Datensegmentfeld, um die zu übertragenden Daten zu transportieren. Natürlich kann der Inhalt des Datensegments auch in einen Vorspannteil und einen Datennutzlastteil unterteilt werden. Da eine solche Unterteilung für die vorliegende Erfindung nicht relevant ist, wird das Datensegment in der nachstehenden Beschreibung als eine Einheit betrachtet. Ein Schlitz hat beispielsweise eine typische Größe von 70 Byte; zwei Byte für das ACF und die restlichen 68 Byte für das Datensegmentfeld. Dies kann natürlich entsprechend den Anforderungen des jeweiligen Systems gewählt werden.

Das Zugriffskontrollfeld ist in Fig. 2C genauer gezeigt. Wie vorstehend erwähnt, weist es in einem typischen Beispiel 2 Byte oder 16 Bits auf. Das erste Feld transportiert das Besetzt/Frei-



(B/F-)Bit, das anzeigt, ob das Datensegment tatsächlich Daten enthält oder nicht. Eine Station kann nur auf einen Schlitz zur Datenübertragung zugreifen, wenn dieses Bit anzeigt, daß der Schlitz noch nicht belegt ist. Das nächste Feld transportiert ein Typ-(TYP-)Bit, das anzeigt, zu welcher von zwei verschiedenen Kategorien (beispielsweise "entschieden" oder "nicht entschieden") der Schlitz gehört. Das nächste Feld (PRI) weist zwei Bits auf, welche die Prioritätskategorie anzeigen, zu welcher der Schlitz gehört. Es wird bei dem System, das als Ausführungsform der Erfindung beschrieben werden soll, davon ausgegangen, daß vier Prioritätskategorien vorgesehen sind, die anhand dieser beiden Bits unterschieden werden können. Ein Feld "Reserviert" (RES) weist vier Bits auf, die in dem zu beschreibenden Hauptbeispiel nicht verwendet werden und vom Systemplaner einem beliebigen Zweck zugeordnet werden können. (Die Möglichkeit, in diesem Feld spezielle Marken zu übertragen, ist nachstehend in Abschnitt 7 erwähnt). Das Feld "ANFORDERUNG" weist acht Bits zur Verwendung für Zugriffsanforderungen auf. Im vorliegenden Fall kann dieses Feld eine Anzahl Anforderungen für bis zu 256 Schlitze enthalten. Es wird hier davon ausgegangen, daß eine Anforderung nur für eine Prioritätskategorie je ACF gestellt werden kann, wie von den beiden Bits im Prioritätenfeld festgelegt. Die Kopfstation setzt den Wert im Prioritätenfeld zyklisch auf eine der vier Kategorien, und zwar derart, daß in der Gesamtfolge von Schlitzen auf den Bussen jeder Priorität ein Viertel zugeordnet wird.

Natürlich kann auch ein beliebiges anderes Format für das ACF gewählt werden. Als eine Alternative zeigt Fig. 2D ein ACF für ein Zwei-Prioritäten-System. Das erste ACF-Bit zeigt wieder den Belegt/Frei-Status an, das zweite Bit bestimmt den Schlitz-Typ. Zwei weitere Bits sind reserviert. Die verbleibenden 12 Bits sind in zwei Anforderungsfelder (REQ 0, REQ 1) unterteilt, je eines für eine der beiden erwogenen Prioritäten. Somit kann jedes Feld eine 6-Bit-Anforderungsanzahl unterbringen, so daß für jede Priorität eine Anforderung für bis zu 64 Schlitze gestellt werden kann. Für die nachstehende Beschreibung wird das ACF-For-

mat von Fig. 2C angenommen.

2) Wesentliches über den Stand der Technik und die Erfindung

Bevor die Erfindung erklärt wird, wird noch einmal kurz der Stand der Technik von Doppelbussystemen mit Zugriff mit verteilten Warteschlangen beschrieben. Solche bekannten Systeme sind beispielsweise in den bereits in der Einführung erwähnten Veröffentlichungen beschrieben.

In den bekannten Systemen enthält das ACF vier 1-Bit-Anforderungsfelder, je eines für eine Priorität. Somit kann eine Anforderung für einen einzigen Schlitz je Priorität in jedem ACF gestellt werden. Eine Station, die den Zugriff auf einen Schlitz (in einer bestimmten Prioritätskategorie) benötigt, wartet auf ein freies Anforderungsfeld in dieser Prioritätskategorie und invertiert das entsprechende Bit, um den anderen Stationen ihre Zugriffsanforderung anzuzeigen. Sie hält die Anzahl der Zugriffsanforderungen fest, die sie von anderen Stationen wahrgenommen hat, bevor sie ihre eigene Anforderung stellt, und sie läßt so viele freie Schlitze für die anderen Stationen passieren, wie sie externe Zugriffsanforderungen vor ihrer eigenen wahrgenommen hat, so daß sie korrekt bedient werden können. Erst dann greift sie auf den nächsten freien Schlitz zu, der ihren Zugriffspunkt gerade passiert. In der Zwischenzeit hat sie wieder die externen Zugriffsanforderungen, die sie von anderen Stationen wahrgenommen hat, gezählt, und fährt mit der Summierung dieser externen Zugriffsanforderungen fort, bis sie ihre eigene nächste Anforderung stellt.

Dieser Ablauf hat mehrere Nachteile.

- 1) Es kann nur ein Schlitz auf einmal angefordert werden.
- 2) Die nächste Zugriffsanforderung kann erst erfolgen, wenn die vorhergehende bedient worden ist (d. h. es darf höchstens eine anstehende Zugriffsanforderung in einer beliebigen Station vor-

handen sein).

3) Eine lokale Anforderung wird in der Anforderungswarteschlange der Station registriert (und zwar indem die Anzahl der externen Anforderungen von einem Zähler zu einem anderen übertragen wird), sobald die lokale Anforderung in dieser Station generiert wird. Jedoch kann ein beträchtliches Zeitintervall vergehen, bevor diese Station ihre lokale Anforderung in einen passierenenden Schlitz eingeben kann (wenn ein freies Anforderungsteilfeld aufgrund der großen Aktivität anderer Stationen einige Zeit lang nicht erscheint). Dies führt zu einer Inkonsistenz bei den Warteschlangen verschiedener Stationen.

4) Aufgrund unterschiedlicher Laufzeiten (Verzögerung) der ACF-Felder mit den Anforderungen in einer Richtung und der freien Schlitz zur Datenübertragung in der anderen Richtung können Abweichungen zwischen dem Zeitpunkt, zu dem eine lokale Anforderung an den Anfang der Warteschlange aufrückt (d. h. wenn alle externen Anforderungen, die älter als die lokale Anforderung waren, aus der Sicht der jeweiligen Station bedient wurden), und dem Zeitpunkt, zu dem der "entsprechende" freie Schlitz am Zugriffspunkt der Station ankommt, auftreten. Anders ausgedrückt schnappt eine Station P in bestimmten Situationen vielleicht einen freien Schlitz weg, der eigentlich für eine Station Q reserviert war, da die Station P der Meinung war, daß sie nun mit dem Zugriff auf einen Schlitz zur Datenübertragung an der Reihe gewesen sei.

# Die Tatsachen der Punkte 1, 2 und 3 sind die Ursache für eine "ungleiche Behandlung" in dem System, d. h. die Knotenstationen haben ungleiche Chancen oder unterschiedliche Aussichten, auf einen freien Schlitz zur Datenübertragung zugreifen zu können.

# Die in Punkt 4 erwähnten Tatsachen machen es unmöglich, einer beliebigen Station die Verfügbarkeit einer Folge von fortlaufenden Schlitz zu garantieren, was oft wünschenswert ist, um eine unterbrechungsfreie Übertragung eines größeren Datenpaketes zu

ermöglichen. Selbst wenn Reservierungen für mehrere Schlitz gleichzeitig gestattet wären, könnte einer Station, welche die richtigen Reservierungen gemacht hat, aufgrund der vorstehend genannten Tatsachen die Verfügbarkeit einer Kette von fortlaufenden freien Schlitzen nicht garantiert werden. Folglich muß das System für die Segmentierung größerer Datenpakete in schlitzgroße Segmente sorgen, die unabhängig voneinander übertragen werden können. Dies führt zwangsläufig zu einem höheren Verwaltungsaufwand, d. h. zu zusätzlichen Verwaltungsschritten und Datenübertragungen, um die Datenpakete zu segmentieren und wieder zusammenzusetzen.

Durch die folgenden Merkmale der Erfindung werden diese Nachteile vermieden:

- a) Die gleichzeitige Reservierung mehrerer Schlitze wird dadurch ermöglicht, daß Zählerfelder für eine Reservierung vorgesehen sind.
- b) Weitere Anforderungen können von einer Station selbst dann gestellt werden, wenn eine anstehende Anforderung noch nicht bedient wurde. Somit wird eine Vielzahl anstehender Anforderungen für jeweils mehrere Schlitze aktiviert. (Jedoch kann dennoch eine Obergrenze oder eine Anforderungs-Fenstergröße vom System gesetzt werden).
- c) Eine lokale Anforderung wird erst in die Anforderungswarteschlange einer Station eingetragen, nachdem diese Anforderung tatsächlich im Anforderungsteilfeld eines passierenden Schlitzes übertragen wurde.
- d) Sowohl die von einer Station wahrgenommenen externen Anforderungen als auch die eigenen lokalen Anforderungen werden in einer einzigen sequentiellen Warteschlange gespeichert, die eindeutig die Reihenfolge der Anforderungen (und ihre zeitliche Beziehung) anzeigt.

e) Eine selektive Verzögerung wird eingeführt, um den Einfluß der unterschiedlichen Laufzeiten bei Anforderungen und freien Schlitzen auf den beiden Bussen zu eliminieren, wie er bei verschiedenen Stationen festgestellt wird.

Diese Maßnahmen gewährleisten, daß alle Stationen unabhängig von ihrem Standort entlang der Busse gleich fair behandelt werden und daß jeder Station der Zugriff auf eine fortlaufende Folge von angeforderten Schlitzen garantiert werden kann, wodurch der komplexe Vorgang der Segmentierung von Datenpaketen und ihrer erneuten Zusammensetzung vermieden wird.

Die verschiedenen Merkmale der Erfindung werden allgemein im folgenden Abschnitt erläutert. Später wird eine wirkliche Implementierung beschrieben.

### 3) Einzelheiten der Merkmale der Erfindung

Einige wesentliche Merkmale der vorliegenden Erfindung werden nun mit Bezug auf Fig. 2C und Fig. 3 bis 6 erläutert.

In Fig. 2C (und 2D) wurde bereits gezeigt, daß Anforderungsfelder vorgesehen sind, von denen jedes einzelne eine Anforderungsanzahl, d. h. eine Zahl, die eine Mehrfachanforderung für eine Vielzahl von (fortlaufenden) Schlitzen darstellt, unterbringen kann.

Fig. 3 ist ein Blockdiagramm einer Anforderungswarteschlange in Form eines FIFO-(First-in/First-out)Speichers und ihrer zugehörigen Elemente in einer Station. Dieses Blockdiagramm enthält nur die Merkmale, die zur Beschreibung einiger der grundlegenden Funktionen der Erfindung notwendig sind; eine vollständigere Beschreibung erfolgt später in Verbindung mit Fig. 7.

Der Anforderungswarteschlangen-FIFO-Speicher ist schematisch bei 41 gezeigt. Er enthält die sequentiellen Speicherplätze 43-1 bis 43-N, wobei jeder einzelne dazu dient, entweder eine Anzahl ex-

terner Anforderungen EXT-REQ oder eine Anzahl lokaler Anforderungen LOC-REQ zu halten, die beide eine Zahl darstellen, wie sie im Anforderungsfeld des ACF eines Schlitzes gehalten werden kann, sowie einen Hinweis darauf, ob es sich bei der Anforderung um eine externe oder lokale Anforderung handelt. Der Inhalt des obersten Speicherplatzes (43-1) kann um eine Einheit verringert werden, wenn die Erkennungsmittel 45 (PRÜFE B/F) auf dem Bus A einen passierenden freien Schlitz erkennen.

Der Inhalt eines jeden Anforderungsfeldes (RQ-F) von passierenden Schlitzten wird durch Auswahlmittel 47 (SEL) entnommen und in den untersten Speicherplatz 43-N des FIFO-Speichers als Anforderungsanzahl eingefügt. Wenn von den Erkennungsmitteln 49 (PRÜFE RQ-F) festgestellt wurde, daß die Anzahl der externen Anforderungen, die in einem Schlitz auf dem Bus B ankommt, Null ist, wird eine lokale, in einem Puffer 51 wartende Anforderung als Anzahl lokaler Anforderungen durch das Gatter 53 in das leere Anforderungsteilfeld des passierenden Schlitzes auf dem Bus B geleitet. Gleichzeitig wird ein LOC-REQ-Hinweis auf der Leitung 55 zum Eingang der FIFO-Anforderungswarteschlange übertragen, um den Wert zu markieren, der gerade in die FIFO-Anforderungswarteschlange als Anzahl lokaler Anforderungen eingefügt wird. Somit enthält die Anforderungswarteschlange im FIFO 41 die gesamte Anzahl der Zugriffsanforderungen, wie sie von der jeweiligen Station festgestellt oder von ihr selbst generiert wurden, in der richtigen sequentiellen Reihenfolge.

Immer wenn ein leerer Schlitz auf dem Bus A festgestellt wird, wird die bestehende Anzahl im obersten Speicherplatz um eins erniedrigt. Wenn es sich bei der Anzahl um eine externe Anforderung handelt, erfolgt kein Zugriff auf den freien Schlitz, sondern er wird für eine andere, nachgeordnete Station freigelassen. Wenn der oberste Speicherplatz bei der Anzahl Null angelangt ist, wird die nächste Stelle zum obersten Speicherplatz. Wenn im obersten Speicherplatz eine Anzahl vorhanden ist, die eine lokale Anforderung darstellt, wie auf der Leitung 57 (LOC-REQ) angezeigt wird, wird ein Signal durch das UND-Gatter 59 als

in "In-den-Belegzustand-setzen"-Signal an den Bus und als Freigabesignal an die Durchschaltmittel 61 übertragen, die dann die im Puffer 63 wartenden Daten in das Datensegmentfeld des passierenden Schlitzes auf dem Bus A leiten. Dies geht so lange weiter, bis die Anzahl lokaler Anforderungen im obersten Speicherplatz den Wert Null erreicht hat. Statt einen separaten FIFO-Speicher zu haben, kann die Anforderungswarteschlange natürlich auch in einem RAM mit Zeigern implementiert sein. Die verschiedenen Durchschalt- und Steuermittel können ebenfalls unterschiedlich ausgeführt sein.

Es sei erwähnt, daß bei dieser Konfiguration Zugriffsanforderungen auf dem Bus B eingefügt und von diesem kopiert werden, während Daten auf dem Bus A eingefügt, jedoch vom Bus B kopiert werden.

Fig. 4 veranschaulicht die Situation bei den Warteschlangen in zwei ausgewählten Stationen i und j. Obwohl der Inhalt der Warteschlangen unterschiedlich ist, spiegeln sie die Zugriffssituation bei jeder einzelnen Station korrekt wider. Wie auch bereits in Fig. 4 aufgezeigt, unterscheidet sich die Laufzeitverzögerung bei einem beliebigen Schlitz vom Bus A-Zugriffspunkt der Station i bis zu seinem Eintrittspunkt in die FIFO-Warteschlange von der Laufzeitverzögerung bei der Station j ( $D_i \neq D_j$ ). Dies hat zur Folge, daß wenn eine beliebige Anforderung für einen einzigen Schlitz, die in beide Warteschlangen eingefügt wurde, am obersten Speicherplatz der Warteschlange in beispielsweise der Station i ankommt, diese Station vielleicht einen anderen Schlitz auf dem Bus A passieren sieht als die Station j, wenn die entsprechende Anforderung für einen einzigen Schlitz den obersten Speicherplatz der Anforderungswarteschlange in jener Station erreicht.

Das Aufheben dieses Unterschieds ist ein Merkmal der Erfindung und wird nun mit Bezug auf Fig. 5 erklärt. In jeder Station ist zusätzlich zur FIFO-Anforderungswarteschlange 41 ein Verzögerungselement 71 vorgesehen, durch das eine selektive, stations-

spezifische Verzögerung eingeführt werden kann. Die Verzögerung ist so gewählt (wie im folgenden erklärt wird), daß die Laufzeit eines Schlitzes vom Zugriffspunkt (67) auf dem Bus A bis zum Eingang (69) der FIFO-Anforderungswarteschlange bei allen Stationen des Systems gleich ist. Die Arbeitsweise der Verzögerungsmittel ist in Fig. 5 veranschaulicht. Die Anforderungsanzahl REQ (externe oder lokale Anforderungen) wird vom Bus B in das Verzögerungselement 71 eingegeben. In einer bevorzugten Ausführungsform wird das Verzögerungselement 71 ebenfalls als FIFO-Speicher betrieben. Das Schreiben der Anforderungsanzahl in das Verzögerungselement wird von einem Zeitsignal (73), das von den Signalen (Schlitzen) auf dem Bus B abgeleitet wird, gesteuert. Die Verzögerung des Elements 71 bleibt, sobald sie einmal ausgewählt wurde, konstant. Die Anforderungsergebnisse, die den obersten Bereich des Verzögerungselements erreichen, werden von einem Zeitsignal (75) gesteuert ausgelesen, das von den Signalen (Schlitzen) auf dem Bus A abgeleitet wird, und dann in den untersten Speicherplatz der FIFO-Anforderungswarteschlange 41 eingefügt. Somit wird die Anzahl der Zugriffsanforderungen mit der Geschwindigkeit der Schlitze auf dem Bus B beziehungsweise Bus A in das Verzögerungselement eingegeben und aus diesem entfernt.

Die Initialisierung der selektiven Verzögerung in jeder Station wird wie folgt vorgenommen: Die Kopfstation fügt in einen generierten Schlitz eine erste bestimmte Initialisierungsmarke M1 ein, die über den Bus A und dann den Bus B an alle Stationen weitergeleitet wird. In jeder Station, welche die M1-Marke erkennt, wird das Zeitsignal des B-Taktes für den Schreibvorgang in das Verzögerungselement 71 ausgelöst, und der Inhalt des Anforderungsfeldes des Schlitzes, der die M1-Marke transportiert, wird in das leere Verzögerungselement 71 eingefügt, d. h. in dessen oberste Speicherplatz. Das Zeitsignal des A-Taktes wird während der Initialisierung gesperrt, so daß diese erste Anforderungsanzahl im obersten Speicherplatz des FIFO-Speichers (Verzögerungselements) bleibt. Die Anforderungsergebnisse nachfolgender Schlitze werden in das Verzögerungselement geschrieben, das somit eine Reihe solcher Anforderungsergebnisse sum-



miert (wobei jedoch alle null sind). Nach einem vorher ausgewählten Zeitintervall  $b$ , das der Systemlatenzzeit entspricht, die auf die Schlitzübertragungszeit (Gesamtlaufzeit, die von der Übertragungsgeschwindigkeit des Busses, der Anzahl der Stationen usw. abhängig ist) normiert ist, fügt die Kopfstation eine weitere bestimmte Initialisierungsmarke M2 in einen generierten Schlitz ein, den sie auf dem Bus A freisetzt. Wenn dieser Schlitz den Zugriffspunkt 67 einer Station erreicht, wird er von den Mitteln 77 erkannt, die daraufhin das Zeitsignal des A-Taktes (75) aktivieren, um den Zählwert im obersten Speicherplatz des Verzögerungselements (FIFO) auszulesen und ihn in die FIFO-Anforderungswarteschlange 41 zu übertragen. Die Verzögerung des Elements 71 (d. h. der dort gespeicherten Anzahl der Anforderungsergebnisse) bleibt nun unverändert. Es ist wichtig, daß für jeden auf dem Bus B passierenden Schlitz eine Anzahl in das Verzögerungselement eingefügt wird, auch wenn sie Null ist, um dadurch die Anzahl der Anforderungsergebnisse in dem Verzögerungselement und damit seine Verzögerung konstant zu halten.

Es ist außerdem wichtig, daß die Laufzeit auf den beiden Bussen zwischen den Punkten 67 und 69, einschließlich der selektiven Verzögerung des Elements 71, ein ganzzahliges Vielfaches des Schlitz-Zeitintervalls ist. Dies ist aufgrund der Tatsache möglich, daß zwei verschiedene Zeitsignale (welche die gleiche Frequenz, aber unabhängige Phasen haben) für den Schreib- und Lesevorgang in dem Verzögerungselement verwendet werden, so daß es sich bei der selektiven Verzögerung um eine nicht aufgehende Zahl von Schlitz-Zeitintervallen handeln kann.

Fig. 6 veranschaulicht die sich daraus ergebende Situation für zwei ausgewählte Stationen i und j. Wiederum ist der Inhalt der beiden Anforderungswarteschlangen i und j wie gewöhnlich verschieden. Die in den Verzögerungselementen i und j gespeicherte Anzahl von Ergebnissen ist ebenfalls verschieden, was die unterschiedliche individuelle Verzögerung einer jeden Station widerspiegelt. Die Gesamtverzögerung oder Laufzeit vom Punkt 67 zum Punkt 69 einer jeden Station ist bei allen Stationen gleich

(= b).

Ein weiteres Merkmal des beschriebenen Systems ist wie folgt (es wird nur in der ausführlichen, im nächsten Abschnitt beschriebenen Implementierung aufgezeigt): Eine Folge von Ergebnissen externer Anforderungen (eine lokale Anforderung trat dazwischen nicht auf) braucht nicht separat in der FIFO-Anforderungswarteschlange gespeichert zu werden, da sie ohnehin fortlaufend (lokal betrachtet) bedient werden müssen, bevor die jeweilige Station Zugriff auf einen Schlitz für eine anstehende lokale Anforderung erhält. Somit, wenn eine Folge von fortlaufenden externen Anforderungen (als auch eine Folge von fortlaufenden lokalen Anforderungen) in die FIFO-Anforderungswarteschlange eingetragen wird, wo diese Folge mehrere aufeinanderfolgende Warteschlangenpositionen belegen würde, können sie zu einer einzigen Anforderungsanzahl summiert werden, so daß sie nur eine einzige Position belegen. Dies führt zu kürzeren Anforderungswarteschlangen, die weniger Speicherplatz benötigen. Es sei jedoch erwähnt, daß die Summierung (das Zusammenzählen mehrerer Anforderungen von verschiedenen Schlitzen) erst erfolgen darf, nachdem diese Ergebnisse aus dem Verzögerungselement ausgetreten sind, da andernfalls die einmal initialisierte Verzögerung nicht eingehalten würde.

#### 4) Ausführung der Anforderungswarteschlange und des selektiven Verzögerungselements in einer Station

Ein Blockdiagramm der kombinierten Ausführung aller vorstehend beschriebenen Merkmale ist in Fig. 7 für eine Station gezeigt. Die Schaltung ist zwischen einem Bus A (31) und einem Bus B (33) eines Faltbussystems (wie in Fig. 1B gezeigt) angeschlossen. Aufgrund einer Signalumwandlung an jedem Knoten (wie in Verbindung mit Fig. 11 beschrieben wird) können die Signale auf jedem Bus an der Knoten/Stations-Schnittstelle von den Signalen auf den Verbindungsabschnitten des Busses abweichen (anderes physisches Signal, andere Codierung), doch sind die Informationen gleich. Deshalb haben der Bus A und der Bus B in Fig. 7 die Be-

zugszahlen 31(X) beziehungsweise 33(X).

Zwei Steuereinheiten (Fig. 7) sind an die beiden Bussen und die andere Schaltung angeschlossen, um den Ablauf der Schaltung der FIFO-Anforderungswarteschlange zu steuern. Die Steuereinheit 81 des Busses A empfängt alle Signale vom Bus A; sie ist ausführlicher in Fig. 8 gezeigt. Die Steuereinheit 83 des Busses B empfängt alle Signale vom Bus B; sie ist ausführlicher in Fig. 9 gezeigt.

Ein FIFO-Anforderungs-Warteschlangenspeicher 41 und ein Verzögerungselement 71, das ebenfalls als FIFO-Speicher ausgeführt ist, sind, wie bereits in Fig. 5 gezeigt, vorgesehen. Das Verzögerungselement 71 hat beispielsweise 2048 Speicherplätze, wobei jede dazu dient, einen 8-Bit-Anforderungszählwert zu halten. Der FIFO-Anforderungs-Warteschlangenspeicher 41 hat ebenfalls 2048 Speicherplätze, wobei jede dazu dient, einen 16-Bit-Anforderungszählwert zu halten. Die Speicherplätze der Anforderungswarteschlange sind größer als die des Verzögerungselements, da Zählwerte des Verzögerungselements durch Addition zusammengefaßt werden können, bevor sie in die Anforderungswarteschlange 41 eingetragen werden.

Die Warteschlangenverwaltung 85 ist mit der FIFO-Anforderungswarteschlange 41 verbunden, um deren Ablauf zu steuern, und die Verzögerungsverwaltung 87 ist mit dem Verzögerungselement 71 verbunden, um dessen Ablauf zu steuern. Zwischen dem Anforderungswarteschlangen-FIFO und dem Verzögerungselement-FIFO ist ein Akkumulator/Rechen- und Steuerwerk (ALU) 89 (ACCU/ALU) mit Akkumulator/ALU-Steuereinheit 90 vorgesehen, um Anforderungsergebnisse, die aus dem Verzögerungselement 71 gelesen wurden, zusammenzufassen, bevor sie in die Anforderungswarteschlange 41 eingetragen werden. Am Eingang des Verzögerungselements 71 befindet sich ein Eingaberegister 91. Am Ausgang der FIFO-Anforderungswarteschlange 41 befindet sich ein 16-Bit-Abwärtszähler 93, der eine von der Anforderungswarteschlange empfangene Anforderungsanzahl halten kann und den aktuellen Wert um eine Einheit

verringern kann, wenn ein entsprechendes Steuersignal auftritt.

Jeder Speicherplatz des Anforderungswarteschlangen-FIFOs 41 und des Verzögerungselement-FIFOs 71 sowie das Eingaberegister 91 und auch der Abwärtszähler 93 haben eine zusätzliche Bitstelle (41A, 71A, 91A, 93A), um ein Identifizierungsbit zu halten, das anzeigt, ob der aktuelle Inhalt des jeweiligen Speicherplatzes/-Registers eine Anzahl lokaler Anforderungen (LOC-TAG) oder eine Anzahl externer Anforderungen darstellt.

Um Daten auf dem Bus A zu übertragen, ist eine Datensegment-Puffereinheit (DATA) 95 vorgesehen, um ein Datensegment zu halten, das auf seine Übertragung wartet, sowie ein Datenmultiplexer 97, um den Datenstrom auf dem Bus A mit Datensignalen zu überlagern. Eine zusätzliche Einfüge-Schaltung 99 im Bus A erlaubt es, das Belegt/Frei-Bit in einem passierenden Schlitz auf "1" zu setzen, wenn Daten durch den Multiplexer 97 eingefügt werden sollen.

Die Datensegment-Puffereinheit 95 umfaßt vorzugsweise zwei Puffer, von denen jeder die Größe eines Datensegments hat, die abwechselnd verwendet werden, so daß ein Segment von einem der Zwillingspuffer auf den Bus ausgelesen werden kann, während das nächste Segment (das von der höheren Ebene der Station ankommt) in den anderen Zwillingspuffer eingefügt wird.

Es sei an dieser Stelle erwähnt, daß es sich bei den Segmenten, die von der Station zur Puffereinheit 95 übertragen werden, lediglich um Teile handelt, die aus einem größeren Datenpaket entnommen wurden, um der Puffergröße und der Schlitzsegmentgröße gerecht zu werden. Sie enthalten weder einen Zählwert noch andere Verwaltungsinformationen, um sie einzeln auszuweisen. Dies ist anders als bei den Segmenten, die gewöhnlich in Übertragungssystemen mit verteilten Warteschlangen vorgesehen sind; solche Segmente müssen irgendeine zusätzliche Kennzeichnungsinformation haben, da sie von den anderen Segmenten desselben Datenpaketes getrennt werden können und somit am Bestimmungsort durch ein spezielles Verfahren unter Verwendung dieser Zusatz-

information wieder zusammengesetzt werden müssen.

Um eine Anzahl von Anforderungen auf dem Bus B zu übertragen, ist ein Register 101 für lokale Anforderungen vorgesehen, das dazu dient, eine Anzahl lokaler Anforderungen (LOC-REQ) zu halten, die auf ihre Übertragung warten, sowie ein Anforderungsmultiplexer 103, um den Datenstrom auf dem Bus B mit Anforderungsanzahl-Signalen zu überlagern.

Eine bestimmte Verzögerung ist zwischen den Punkten notwendig, an denen Signale von jedem Bus kopiert werden, und den Punkten, an denen Datensignale auf dem Bus eingefügt werden, da die kopierten Daten einem Test unterzogen werden müssen, bevor eine Entscheidung dahingehend fällt, ob wartende Daten (oder eine Anzahl lokaler Anforderungen) tatsächlich in den passierenden Schlitz eingefügt werden. Um diese Mindestverzögerung von einem Wort zu gewährleisten, ist ein Verzögerungsregister 105 im Bus A und ein Verzögerungsregister 107 im Bus B vorgesehen.

Dies ist im Grunde die gesamte Schaltung, die, gemäß der Erfindung, in jeder Station notwendig ist, um die Anforderungswarteschlangen zu halten und eine Verzögerung aufrechtzuerhalten. Verbindungsdatenleitungen und Steuersignalleitungen werden in der folgenden Beschreibung der Funktionsweise dieser Schaltung einzeln gekennzeichnet.

Funktionsweise der Anforderungswarteschlange und des Verzögerungselements:

a) Einfügen der Anforderungsergebnisse: Die Steuereinheit 83 des Busses B überwacht den Datenstrom auf dem Bus B und prüft jedes Anforderungsfeld in einem passierenden Schlitz dahingehend, ob es eine Anzahl Null oder einen tatsächlichen Anforderungszählwert enthält. Sie empfängt ein B-Taktsignal auf der Leitung 111 von der Anschlußschaltung (Signalwandler, wie in Fig. 11 gezeigt), um ihr die korrekte Identifizierung der Felder in passierenden Schlitz zu ermöglichen. Wenn eine Anzahl Null fest-

gestellt wird (was das Einfügen einer Anzahl lokaler Anforderungen in das passierende ACF erlaubt), wird ein Signal auf der Leitung 113 zur Aktivierung des Multiplexers ausgelöst, um es dem Multiplexer 103 zu ermöglichen, die Anzahl der lokalen Anforderungen, die sich im Register 101 im Wartezustand befinden, über die Leitungen 115 in das passierende ACF einzufügen. Unmittelbar danach wird das Eingaberegister 91 durch ein Signal auf der Leitung 117 zur Aktivierung des Registers aktiviert, um den Inhalt des passierenden Anforderungsfeldes zu empfangen, das nun die soeben eingefügte Anzahl der lokalen Anforderungen enthält. Gleichzeitig zeigt ein aktives Signal auf der Leitung 119 (LOC-TAG) an, daß es sich bei der in das Register 91 eingefügten Anzahl um eine lokale Anforderung handelt, so daß folglich ein lokales Identifizierungskennzeichen (LOC-TAG) mit der Eingabe in dieses Register festgelegt wird. Dann wird ein Akkreditierungssignal auf der Leitung 121 an die Hauptsteuereinheit der Station, SMC, übertragen, das ihr die Möglichkeit einräumt, die nächste Anzahl lokaler Anforderungen in das LOC-REQ-Register 101 zu übertragen. Wenn die SMC dann tatsächlich die nächste LOC-REQ auf den Leitungen 123 überträgt, löst sie das Signal auf der Leitung 125 aus, um das Register 101 für den Empfang dieser Anzahl zu aktivieren und um der Steuereinheit 83 des Busses B zu melden, daß eine weitere lokale Anforderung darauf wartet, eingefügt zu werden.

Wenn die Steuereinheit 83 feststellt, daß es im Anforderungsfeld des passierenden ACF einen tatsächlichen Zählwert externer Anforderungen gibt, löst sie die Signale zum Einfügen lokaler Anforderungen nicht aus. Jedoch wird das Signal auf der Leitung 117 zur Aktivierung des Registers jedes Mal ausgelöst, wenn ein passierendes Anforderungsfeld wahrgenommen wird, so daß nicht nur eine übertragene Anzahl lokaler Anforderungen (wie soeben beschrieben) in das Eingaberegister eingefügt wird, sondern auch jede einzelne Anzahl externer Anforderungen. Jedoch bleibt das LOC-TAG Null, womit angezeigt wird, daß es sich bei dem Inhalt des Registers 91 um eine externe Anforderung handelt. Es ist wichtig (wie später erläutert wird), daß auch dann, wenn die

ankommende (externe) Anzahl Null ist und keine Anzahl lokaler Anforderungen eingefügt wird (so daß das Anforderungsfeld in dem passierenden Schlitz leer bleibt), eine Anzahl in das Register 91 eingefügt wird, bei der es sich dann um eine Anzahl Null handelt.

Die Steuereinheit 83 des Busses B liefert auch ein Verzögerungsin-Zeitsignal auf der Leitung 127. Es handelt sich dabei um ein Taktsignal, das von der Verzögerungsverwaltung 87 verwendet wird, wie später erklärt wird.

b) Einfügen von Daten: Die Steuereinheit 81 des Busses A überwacht den Datenstrom auf dem Bus A und prüft das Belegt/Freie Feld in jedem passierenden Schlitz. Sie empfängt ein A-Taktsignal auf der Leitung 129 von der Anschlußschaltung (Signalwandler, wie in Fig. 11 gezeigt), um ihr die korrekte Identifizierung der Felder in passierenden Schlitz zu ermöglichen. Wenn sie einen Hinweis auf einen freien Schlitz feststellt, aktiviert sie das Dekrementierungssignal auf der Leitung 131, um den Inhalt des Abwärtszählers 93 um eine Einheit zu verringern, da jetzt eine anstehende Anforderung für einen Schlitz bedient werden kann (sei es durch die eigene Station oder eine andere, nachgeordnete Station).

Wenn die Anforderungsanzahl im Abwärtszähler 93 eine lokale Anforderung darstellt, hat das Identifizierungskennzeichen in der Position 93A den Wert "1", und auf der Leitung 133 ergeht ein Hinweis (LOC-TAG) an die Steuereinheit 81. Wartende lokale Daten können dann in den passierenden Schlitz eingefügt werden. Ein In-den-Belegtzustand-setzen-Signal wird auf der Leitung 135 ausgelöst, so daß die Einfüge-Schaltung 99 das Bit in dem passierenden Belegt/Freie Feld umwandelt. Ein Signal auf der Leitung 137 zur Aktivierung des Multiplexers wird ausgelöst, um es dem Multiplexer 97 zu ermöglichen, das Segment mit den lokalen Daten, das sich in der Datensegment-Puffereinheit 95 im Wartezustand befindet, über die Leitungen 139 in das Datensegmentfeld des auf dem Bus A passierenden Schlitzes einzufügen. Dann wird

ein Daten-Senden-Signal auf der Leitung 141 an die SMC ausgelöst, um der SMC die Möglichkeit einzuräumen, ein weiteres Datensegment zu senden. Die SMC sendet dann das nächste Datensegment auf den Leitungen 143.

Wie bereits vorstehend erwähnt wurde, enthält die Datensegment-Puffereinheit 95 vorzugsweise Zwillingspuffer, die abwechselnd verwendet werden, um ein gleichzeitiges Lesen eines Datensegments und Einfügen eines anderen Datensegments zu ermöglichen. Da die Funktionsweise solcher Zwillingspuffer bekannt ist, ist es nicht erforderlich, sie hier näher zu beschreiben.

Die Steuereinheit 81 des Busses A liefert auch ein Verzögerung-Aus-Zeitsignal auf der Leitung 145. Es handelt sich dabei um ein Taktsignal, das von der Verzögerungsverwaltung 87 verwendet wird, wie später erklärt wird.

c) Übertragung der Anforderungsergebnisse durch Verzögerung und Warteschlange: Die Warteschlangenverwaltung 85 und die Verzögerungsverwaltung 87 steuern das Schreiben der Anforderungsergebnisse in und das Lesen der Anforderungsergebnisse aus ihrem jeweiligen zugehörigen FIFO-Speicher. Sie haben Zeiger, welche den aktuellen obersten Speicherplatz und den aktuellen untersten Speicherplatz im jeweiligen FIFO-Speicher anzeigen.

Gesteuert von dem Verzögerung-Ein-Zeitsignal von der Steuereinheit 83 wird für jeden passierenden Schlitz auf dem Bus B eine Anzahl aus dem Eingaberegister 91 in den Verzögerungs-FIFO 71 eingelesen. Das Identifizierungskennzeichen im Feld 91A wird ebenfalls an den Verzögerungs-FIFO übertragen. Eine Anforderungsanzahl wird über die Datenleitungen 146 vom obersten Bereich des Verzögerungs-FIFOs 71 in die ACCU/ALU-Einheit 89 für jeden passierenden Schlitz auf dem Bus A eingelesen, gesteuert von dem Verzögerung-Aus-Zeitsignal von der Steuereinheit 81. Das LOC-TAG wird ebenfalls über die Leitung 147 an die ACCU/ALU-Einheit 89 und an ihre Steuereinheit 90 übertragen. Ein Signal auf den Leitungen 148 meldet der Steuereinheit 90 jede Übertragung



einer Anforderungsanzahl in die ACCU/ALU-Einheit 89.

Die Funktionsweise der ACCU/ALU-Einheit ist wie folgt: Solange der LOC-TAG-Wert gleich bleibt (z. B. solange er Null ist, was Ergebnisse externer Anforderungen anzeigt), addiert die ACCU/ALU-Einheit den neu übertragenen Zählwert zu dem summierten Wert, den sie bereits in einem Summierungsregister gespeichert hat. Sobald sich der LOC-TAG-Wert ändert (z. B. wenn nach einer Folge von Ergebnissen externer Anforderungen eine Anzahl lokaler Anforderungen mit LOC-TAG = 1 von dem Verzögerungs-FIFO an die ACCU/ALU-Einheit übertragen wird), wird der Inhalt des Summierungsregisters über die Leitungen 149 in die FIFO-Anforderungswarteschlange 41 als eine einzige Anzahl, zusammen mit einem entsprechenden LOC-TAG-Wert, übertragen. Ein Steuersignal auf den Leitungen 150 meldet der Warteschlangenverwaltung 85 die Übertragung, damit sie den summierten Zählwert in ihre unterste Position einfügt. Der soeben vom Verzögerungs-FIFO 71 in die ACCU/ALU-Einheit 89 übertragene Anforderungszählwert wird dort im Summierungsregister gespeichert.

Somit werden im Verzögerungs-FIFO enthaltene aufeinanderfolgende Anforderungsergebnisse derselben Art (extern oder lokal) zusammengefaßt, um einen einzigen Anforderungszählwert für die FIFO-Anforderungswarteschlange zu bilden, jedoch wird zwischen den beiden Arten in der FIFO-Anforderungswarteschlange trotz der Zusammenfassung nach wie vor gut unterschieden.

Immer wenn die im Abwärtszähler 93 enthaltene Anzahl den Wert Null erreicht, wird ein entsprechendes Signal auf der Leitung 151 ausgelöst, wodurch der Warteschlangenverwaltung gemeldet wird, daß nun der nächste Anforderungszählwert vom obersten Speicherplatz der Warteschlange in den Abwärtszähler 93 (zusammen mit seinem Identifizierungskennzeichen) übertragen werden muß.

Um ein vollständiges Entleeren der FIFO-Anforderungswarteschlange 41 zu vermeiden, könnte die Summierung von Anforderungsergebnissen zwischendurch auf folgende Weise eingestellt werden: Ein

Schwellenwert wird in der Warteschlangenverwaltung 85 gespeichert, der die Mindestzahl von FIFO-Speicherplätzen angibt, die Anforderungsergebnisse enthalten sollten. Die Warteschlangenverwaltung überwacht dann fortwährend die Anzahl der belegten FIFO-Speicherplätze (Unterschied zwischen Eingabe- und Ausgabezeigern) und vergleicht sie mit dem Schwellenwert. Wenn diese Anzahl unter den Schwellenwert fällt, wird ein entsprechendes Steuersignal (Summierung einstellen) über die Leitungen 150 an die ACCU/ALU-Steuereinheit 90 übertragen, die daraufhin Ergebnisse nicht mehr summiert, sondern sie einzeln, wie sie sie von der Verzögerungseinheit 71 erhalten hat, überträgt. Wenn die Warteschlangenverwaltung feststellt, daß die Anzahl der belegten FIFO-Speicherplätze der Anforderungswarteschlange wieder über dem gesetzten Schwellenwert liegt, sendet sie ein weiteres Steuersignal (Summierung wieder aufnehmen) an die ACCU/ALU-Steuereinheit 90, die von da an die Anforderungsergebnisse wieder, wie vorstehend beschrieben, summiert.

d) Initialisierung der Verzögerung: Zu Beginn des Systembetriebs oder wenn ein automatischer Wiederanlauf nach einem Systemausfall erforderlich ist, haben alle Bussteuereinheiten ihre Verzögerung-Ein- und Verzögerung-Aus-Signale auf den Leitungen 127 und 147 gestoppt, und die Verzögerungs-FIFOs (71) werden zurückgesetzt. Wie bereits im Abschnitt 3 kurz erläutert wurde, setzt die Kopfstation dann zwei Verzögerungsinitialisierungsmarken, M1 und M2, frei. Die Kopfstation generiert ständig Schlitze und fügt die beiden Marken in die ACFs von zwei Schlitzen ein, die einen bestimmten zeitlichen Abstand (= b Zeitschlitze) voneinander haben. Wenn die erste Marke M1 bei der Steuereinheit 83 des Busses B in einer Station ankommt, beginnt die Steuereinheit, das Verzögerung-Ein-Zeitsignal auf der Leitung 127 zu liefern. Somit werden ab diesem Zeitpunkt Anforderungsergebnisse in den Verzögerungs-FIFO 71 geschrieben (alle haben einen Wert von Null). Während dieser Initialisierungszeit werden keine Ergebnisse aus dem Verzögerungs-FIFO gelesen, d. h. das Verzögerung-Aus-Signal ist noch nicht aktiviert. Sobald die zweite Marke M2 bei der Steuereinheit 81 des Busses A ankommt, beginnt sie, das

Verzögerung-Aus-Zeitsignal auf der Leitung 147 zu liefern. In der Zwischenzeit hat sich eine Anzahl von Anforderungsergebnissen im Verzögerungs-FIFO 71 angesammelt. Diese Anzahl bleibt dann während des Betriebs konstant und bestimmt die stationsspezifische Verzögerung, die, wie in Abschnitt 3 erläutert, unterschiedliche Laufzeiten ausgleicht.

#### 5) Einzelheiten der Bus-FIFO-Steuereinheiten

Einige Einzelheiten der beiden Steuereinheiten 81 und 83 werden nun mit Bezug auf Fig. 8 und 9 beschrieben.

Fig. 8 ist ein Blockdiagramm der wesentlichen Teile der Steuereinheit (81) des Busses A. Sie enthält Mittel 153, um dem Datenstrom, den sie vom Bus A empfängt, und gesteuert von dem Taktsignal (129), das von den Signalen auf dem Bus A abgeleitet wird, das Zugriffskontrollfeld ACF eines jeden passierenden Schlitzes zu entnehmen, und um bestimmte Teilfelder an einen Marke-M2-Detektor 154 und einen Besetzt/Frei-Detektor 155 zu übertragen. Ein Verzögerung-Gesetzt-Signalspeicher 157 wird bei jedem Systemstart oder Wiederanlauf zurückgesetzt. Wenn eine Marke M2 festgestellt wird, wird der Signalspeicher 157 durch ein Signal auf der Leitung 159 gesetzt und aktiviert dann durch sein Ausgangssignal auf der Leitung 161 ein Gatter 163 zur Übertragung des A-Taktsignals von der Leitung 129 zur Verzögerung-Aus-Zeitsignalleitung 147.

Wenn der Besetzt/Frei-Detektor 155 eine Null im B/F-Teilfeld eines passierenden ACFs feststellt, aktiviert er an seinem Ausgang ein Steuersignal, das anzeigt, daß ein freier Schlitz angekommen ist, und das als Dekrementierungssignal über die Leitung 131 an den Abwärtszähler 93 übertragen wird. Wenn die Anzahl im Abwärtszähler eine lokale Anforderung darstellt, wie durch ein aktives Signal auf der LOC-TAG-Leitung 133 angezeigt wird, überträgt ein UND-Gatter 165 das Schlitz-Frei-Signal auf der Leitung 135 als In-den-Belegzustand-setzen-Signal, um den passierenden Schlitz für eine Übertragung lokaler Daten zu bele-

gen. Mit einer bestimmten Verzögerung, die durch das Verzögerungselement 167 eingeführt wird, aktiviert das Ausgangssignal des UND-Gatters 165 das Signal auf der Leitung 137 zur Aktivierung des Multiplexers, um die Daten tatsächlich in den passierenden Schlitz einzufügen, und das Daten-Senden-Signal auf der Leitung 141, um die Übertragung eines weiteren Segments mit lokalen Daten zu gestatten.

Fig. 9 ist ein Blockdiagramm der wesentlichen Teile der Steuereinheit (83) des Busses B. Sie enthält Mittel 173, um dem Datenstrom, den sie vom Bus B empfängt, und gesteuert von dem Taktsignal (111), das von den Signalen auf dem Bus B abgeleitet wird, das Zugriffskontrollfeld ACF eines jeden passierenden Schlitzes zu entnehmen, und um bestimmte Teilfelder an einen Marke-M1-Detektor 175, einen Anforderungsfeld-Detektor 177 und einen Detektor 179 für die Anforderungsanzahl = 0 ( $RQ = 0$ ) zu übertragen. Ein Verzögerung-Gesetzt-Signalspeicher 181 wird bei jedem Systemstart oder Wiederanlauf zurückgesetzt. Wenn eine Marke M1 festgestellt wird, wird der Signalspeicher 181 durch ein Signal auf der Leitung 183 gesetzt und aktiviert dann durch sein Ausgangssignal auf der Leitung 185 ein Gatter 187 zur Übertragung des B-Taktsignals von der Leitung 111 zur Verzögerung-Ein-Zeit-sigalleitung 127.

Ein Signalspeicher 189 für eine wartende Anforderung wird bei jedem Systemstart und wenn die Steuereinheit durch ein Signal auf der Leitung 121 die Übertragung einer neuen Anforderungsanzahl erlaubt, zurückgesetzt. Der Signalspeicher 189 für eine wartende Anforderung wird durch das Hinweissignal "Neue Anforderung" auf der Leitung 125 gesetzt, wenn die SMC eine neue Anzahl lokaler Anforderungen in das Register 101 für lokale Anforderungen überträgt. Wenn der Detektor 179 für  $RQ = 0$  im Anforderungsteilfeld eines passierenden ACF eine Null feststellt, aktiviert er an seinem Ausgang ein Steuersignal, das zu einem Eingang eines UND-Gatters 191 übertragen wird. Wenn das Ausgangssignal des Signalspeichers 189 auf der Leitung 193 gleichzeitig anzeigt, daß eine lokale Anforderung auf ihre Übertragung wartet, akti-

viert das Ausgangssignal des UND-Gatters 191 auf der Leitung 113 das Signal zur Aktivierung des Multiplexers für den Multiplexer 103, um die Anzahl wartender lokaler Anforderungen tatsächlich in das Anforderungsteilfeld des passierenden Schlitzes einzufügen. Mit einer bestimmten Verzögerung, die durch ein Verzögerungselement 195 eingeführt wird, aktiviert das Ausgangssignal des UND-Gatters 191 das Lokales-Identifizierungskennzeichen-(LOC-TAG)-Signal auf der Leitung 119, um das lokale Identifizierungskennzeichen in den Identifizierungskennzeichenteil 91A des Eingaberegisters 91 einzufügen, sowie das Akkreditierungssignal auf der Leitung 121, um die Übertragung einer weiteren lokalen Anforderung von der SMC zu gestatten. Dieses Signal setzt auch den Signalspeicher für eine wartende Anforderung zurück.

Immer wenn ein Anforderungsfeld auf dem Bus B festgestellt wird (sei sein Inhalt Null oder nicht) aktiviert der Detektor 177 an seinem Ausgang ein entsprechendes Steuersignal, das durch ein Verzögerungselement 197 verzögert wird und dann als Signal zur Aktivierung des Registers auf der Leitung 117 an das Eingaberegister 91 übertragen wird, um ihm zu ermöglichen, die Anforderungsanzahl von dem Schlitz, der auf dem Bus B vorbeiläuft, zu kopieren.

#### 6) Darstellung der Initialisierungsmarken

Wie vorstehend beschrieben wurde, muß die Kopfstation zwei verschiedene Marken in das ACF-Feld von Schlitzten einfügen, wenn die individuelle Verzögerung der Anforderungswarteschlange in jeder Station initialisiert werden soll. Das Teilfeld "Reserviert" (das im ACF-Format in Fig. 2C gezeigt ist) kann zur Darstellung der Marken M1 und M2 verwendet werden. Nachstehend sind Beispiele für die Darstellung der Marken aufgezeigt.

(A)	R1	R2	R3	R4		
	1	0	X	X	=	M1
	1	1	X	X	=	M2
	0	X	X	X	=	Sonstige

(B)	R1	R2	R3	R4		
	1	0	0	X	=	M1 (ursprünglich)
	1	0	1	X	=	M1 (zurückkehrend)
	1	1	X	X	=	M2
	0	X	X	X	=	Sonstige

Für das Faltbussystem (Fig. 1B), das als Beispiel für die vorstehend beschriebene Ausführungsform diente, ist die entsprechende Darstellung bei (A) gezeigt. Die vier Bits des Teilfeldes "Reserviert" sind als R1, R2, R3 und R4 bezeichnet. Um das Vorhandensein einer Marke anzuzeigen, wird R1 auf 1 gesetzt. Die beiden Marken werden durch das Bit R2 unterschieden. Die verbleibenden beiden Bits R3 und R4 stehen nach wie vor für andere Zwecke zur Verfügung. Wie vorstehend beschrieben wurde, wird die Marke M1 auf dem Bus B verwendet, wohin sie in einem Faltbussystem automatisch läuft. Die Marke M2 wird nur auf dem Bus A verwendet.

Bei einem Doppelbussystem, wie es in Fig. 1A gezeigt ist, ist die Situation etwas anders, da Schlitze normalerweise nur entlang eines Busses laufen und nicht auf dem anderen Bus zurückkehren. Deshalb ist eine Änderung notwendig, um den Marken M1, wenn sie am Ende eines Busses angekommen sind, zu ermöglichen, auf dem anderen Bus weitergeleitet zu werden. Eine zusätzliche Darstellung ist notwendig, um eine M1-Marke auf ihrem ursprünglichen Bus von einer M1-Marke, die auf dem anderen Bus zurückkehrt, zu unterscheiden. Das dritte reservierte Bit R3 wird für diesen Zweck verwendet. Die Darstellung ist oben bei (B) gezeigt.

7) Änderung in Kopfstationen eines Doppelbussystems für eine Verzögerungsinitialisierung

Wie oben erwähnt, muß dafür gesorgt werden, daß die M1-Marken in einem Doppelbussystem ihren Umlauf auf dem anderen Bus fortsetzen können, was einige Änderungen in den Kopfstationen erforderlich macht. Dies ist in Fig. 10 (bei der es sich um die modifizierte Form des in Fig. 1A gezeigten Doppelbus-Netzwerks handelt) gezeigt. Die Kopfstation 15 für den Bus A (HE-A) enthält wie gewöhnlich einen Generator/Sender 201, der die Schlitze generiert und eine Information in das ACF-Feld einfügt, wenn er sie überträgt. Ebenso enthält die Kopfstation HE-B (17) einen solchen Generator/Sender 203 für Schlitze. Die Kopfstation HE-A generiert zur Initialisierung die Marken M1(A) und M2(A). Die erste läuft auf dem Bus A entlang, muß jedoch auch auf dem Bus B entlanglaufen, da sie dort erkannt werden muß. Deshalb muß der Busabschnitt 21 (der in einem gewöhnlichen Doppelbussystem weggelassen werden könnte) integriert werden, so daß jeder Schlitz des Busses A zur Kopfstation HE-B durchlaufen kann. Ein zusätzlicher Empfänger 205 ist in HE-B vorgesehen, der die Schlitze empfängt und das Vorhandensein einer ursprünglichen Marke M1 in einem ACF feststellen kann. Wenn er eine feststellt, überträgt er ein Steuersignal auf der Leitung 207 an den Schlitzgenerator/Sender 203, der dann eine zurückkehrende Marke M1' in den nächsten Schlitz einfügt, den er auf dem Bus B ausgibt. Diese Marke kann dann von allen Stationen erkannt werden, und veranlaßt sie, ihr Verzögerung-Ein-Zeitsignal auszulösen.

In der Kopfstation HE-A ist ebenfalls ein zusätzlicher Empfänger 209 (der die Schlitze vom Bus B auf dem Abschnitt 23 empfängt) sowie eine Steuersignalleitung 211 vorgesehen. Somit kann auch die Kopfstation HE-A eine ursprüngliche M1-Marke (in diesem Fall eine, die von der Kopfstation HE-B ausgegeben wurde) erkennen und ihren Generator/Sender 201 veranlassen, eine zurückkehrende Marke M1' in einen Schlitz einzufügen, der auf ihrem Bus A läuft. Die Empfänger (205, 209) in beiden Kopfstationen beachten zurückkehrende M1'-Marken als auch M2-Marken nicht; somit läuft

eine zurückkehrende Marke M1' nur einmal auf dem Gegenbus entlang, und eine Marke M2 läuft nur einmal auf ihrem ursprünglichen Bus entlang.

#### 8) Duplizierung für ein Doppelbusnetzwerk

In einem Doppelbusnetzwerk, wie es in Fig. 1A gezeigt ist, gibt es eigentlich zwei unabhängige Anforderungs- und Zugriffsregelungen: Anforderungen für einen Zugriff auf den Bus A zur Datenübertragung werden auf dem Bus B eingefügt und übertragen, und Anforderungen für einen Zugriff auf den Bus B zur Datenübertragung werden auf dem Bus A eingefügt und übertragen. Während die vorstehend gezeigte und beschriebene Schaltung für ein Faltbus-system ausgelegt war, in dem Anforderungen nur auf dem eingehenden Bus eingefügt und übertragen werden, ist es klar (und wurde bereits erwähnt), daß die erfundene Zugriffsmethode auch in Doppelbussystemen eingesetzt werden kann, jedoch muß dann die gesamte Schaltung (Anforderungswarteschlangen-FIFO und Verzögerungs-FIFO) dupliziert werden.

#### 9) Signalumwandlung zwischen Bussen und Stationen

Fig. 11 ist eine schematische Darstellung der Anschlußschaltung, die für eine Signalumwandlung und eine geeignete Codeumsetzung zwischen Systembussen und der Schaltung der Station sorgt. Typischerweise könnten Informationen auf den Bussen (31, 33) zwischen Stationen in Form von bitseriellen optischen Signalen übertragen werden. Innerhalb der Schaltung einer Station würden Informationen als elektrische Signale in wortparalleler Form dargestellt werden.

Der eingehende Bus A (31) ist mit dem Anschlußempfänger 215 des Busses A (der einen Signalwandler zur Umsetzung von optischen in elektrische Signale enthält) verbunden, der auf seinen parallelen Ausgangsbussleitungen 31(X) die Daten und auf einer Taktleitung 129 das aufbereitete A-Taktsignal, beides in elektrischer Form, an die Buszugriffsschaltung 217 der Station liefert. Da-



ten, die in der Station erzeugt wurden, um weiter auf dem Bus übertragen zu werden, werden auf parallelen Busleitungen 31(X) an den Anschlußsender 219 des Busses A (der einen Signalwandler zur Umsetzung von elektrischen in optische Signale enthält) geleitet, der sie in umgesetzter Form als ein optisches, serielles Signal auf dem abgehenden Bus A (31) überträgt.

Analog dazu ist Bus B (33) durch den Anschlußempfänger 221 des Busses B (der einen Signalwandler zur Umsetzung von optischen in elektrische Signale enthält) und durch den Anschlußsender 223 des Busses B (der einen Signalwandler zur Umsetzung von elektrischen in optische Signale enthält) mit der Buszugriffsschaltung 217 der Station verbunden. Ein B-Taktsignal, wie vom Anschlußempfänger 221 von Daten auf dem Bus B abgeleitet, wird auf der Leitung 111 geliefert.

Die anderen Einrichtungen der Station (höhere Ebene) einschließlich der Hauptsteuereinheit der Station, SMC, die alle als ein Block 225 in Fig. 11 aufgezeigt sind, sind mit der Buszugriffsschaltung 217 durch mehrere Daten- und Steuerleitungen zum Austausch von Daten und Steuersignalen verbunden.

Die Teile der Buszugriffsschaltung 217, die für die vorliegende Erfindung wesentlich sind, wurden in den Fig. 7, 8 und 9 gezeigt und im entsprechenden Text erläutert. Es sei erwähnt, daß die Buszugriffsschaltung, neben dem Empfang und der Übertragung von Zugriffsanforderungen auf dem Bus B und der Übertragung von Daten auf dem Bus A (was alles mit Bezug auf Fig. 7, 8, 9 erläutert wurde), auch Daten vom Bus B empfängt, die an die Station gerichtet (adressiert) sind. Jedoch ist der Datenempfang für die Erfindung nicht relevant und deshalb hier nicht ausführlich aufgezeigt.

#### 10) Regelung für mehrere Prioritäten

Die in der vorstehenden Beschreibung aufgezeigte Schaltung führt alle Anforderungen für eine Prioritätskategorie aus. Wenn keine

unterschiedlichen Prioritäten vorgesehen sind, ist dies für die Funktion ausreichend. Wenn jedoch mehrere Prioritäten eingeführt werden, wie in Abschnitt 1 mit der Beschreibung der Fig. 2A bis 2D (Schlitzformat und ACF-Format) erwähnt wurde, d. h. wenn getrennte Anforderungen für die verschiedenen Prioritäten gestellt werden müssen und getrennte Schlitze ausgegeben werden, muß die Anforderungswarteschlange mit der selektiven Verzögerung und der zugehörigen Schaltung so oft vorgesehen sein, wie es Prioritätskategorien gibt. Folglich muß jede Station vier Anforderungswarteschlangen-FIFO-Speicher haben, wenn vier Kategorien eingeführt werden.

Der Verzögerungselement-FIFO könnte auch mehrfach vorgesehen werden, und zwar einmal je Kategorie. Jedoch würde ein einziger gemeinsamer Verzögerungselement-FIFO ausreichen, wenn an jede Eingabe ein Prioritätskennzeichen (zwei Bits für vier Prioritäten) angehängt würde. Am Ausgang des Verzögerungselements muß dann ein Demultiplexer vorgesehen werden, um die Anforderungsergebnisse, die aus dem Verzögerungselement-FIFO gelesen wurden, auf die mehrfach vorhandenen Anforderungswarteschlangen (z. B. vier Anforderungswarteschlangen) entsprechend dem Prioritätskennzeichen zu verteilen.

## A N S P R Ü C H E

1. Verfahren zur Regulierung des Zugriffs auf ein Kommunikationssystem mit zwei gegenläufigen Übertragungsbussen und einer Vielzahl von Stationen, die zwischen ihnen angeschlossen sind, wobei sequentielle Zeitschlitzte auf einem ersten der beiden Busse zur Datenübertragung generiert werden, jede Station Zugriffsanforderungen für Schlitzte auf einem entsprechenden zweiten der beiden Busse überträgt, wobei die Berechtigung einer Station, Daten in einem Schlitz auf dem ersten Bus zu übertragen, auf der Grundlage von externen Zugriffsanforderungen, die sie von anderen Stationen wahrgenommen hat, sowie eigener lokaler Zugriffsanforderungen bestimmt wird;

das Verfahren folgenden Schritt umfaßt:

- dafür zu sorgen, daß eine Station in den auf dem zweiten Bus übertragenen Zugriffsanforderungen eine Reservierung von mehreren Schlitzten vornehmen kann,

und die folgenden Schritte in jeder Station durchzuführen sind:

- Verwalten einer Zugriffs-Anforderungswarteschlange (41) der externen und lokalen Zugriffsanforderungen, die ihre zeitliche Beziehung widerspiegelt;
- Eintragen einer lokalen Anforderung in die Zugriffs-Anforderungswarteschlange im Anschluß an deren Übertragung auf dem zweiten Bus;
- Vorsehen einer stationsspezifischen Verzögerung (71) für Zugriffsanforderungen, die in die Zugriffs-Anforderungswarteschlange eingetragen werden sollen, um unterschiedliche Laufzeiten auszugleichen, die es bei

Zeitschlitten und Zugriffsanforderungen hinsichtlich der verschiedenen Stationen des Systems gibt.

2. Das Verfahren gemäß Anspruch 1, das ferner folgende Schritte umfaßt:
  - Sequentielles Speichern der Zugriffsanforderungen in einem FIFO-Anforderungsspeicher (41) als Zahlen, wobei jede Zahl entweder eine Anzahl externer Anforderungen oder eine Anzahl lokaler Anforderungen darstellt;
  - Übertragen des Inhalts des obersten Speicherplatzes des FIFO-Anforderungsspeichers in ein Dekrementierungsregister (93);
  - Dekrementieren des Inhalts des Dekrementierungsregisters für jeden leeren Schlitz, der von der Station auf dem ersten Bus festgestellt wurde, und,
  - sobald der Inhalt des Dekrementierungsregisters den Wert Null erreicht hat, Übertragen des Inhalts des nächsten Speicherplatzes des FIFO-Anforderungsspeichers in das Dekrementierungsregister.
3. Das Verfahren gemäß Anspruch 1, das ferner folgenden Schritt umfaßt:
  - Vorsehen der stationsspezifischen Verzögerung, indem Zugriffsanforderungen, bevor sie in die Zugriffs-Anforderungswarteschlange (41) eingetragen werden, in einem FIFO-Verzögerungsspeicher (71) gespeichert werden, der eine vorher ausgewählte Anzahl von Einträgen enthält, welche die Verzögerungszeit bestimmen.
4. Das Verfahren gemäß Anspruch 3, das ferner folgende Schritte umfaßt:

- Initialisieren der vom FIFO-Verzögerungsspeicher vorgenommenen Verzögerung in jeder Station, indem auf dem ersten Bus zwei Initialisierungsmarken (M1, M2) übertragen werden, die durch ein vorher ausgewähltes Zeitintervall (b) getrennt sind;
  - Auslösen eines ersten, von Schlitzen auf dem zweiten Bus abgeleiteten Zeitsignals (127) in einer beliebigen Station, wenn sie die erste Marke auf dem zweiten Bus erkennt, um das Schreiben von Zugriffsanforderungen in den FIFO-Verzögerungsspeicher zu steuern, und um für jeden Schlitz, der auf dem zweiten Bus vorbeiläuft, eine Eingabe in den FIFO-Verzögerungsspeicher vorzunehmen, wobei diese Eingabe entweder eine in einem Schlitz enthaltene Anforderungsanzahl darstellt oder gleich Null ist, wenn ein Schlitz keine Zugriffsanforderung enthält, und
  - Auslösen eines zweiten, von Schlitzen auf dem ersten Bus abgeleiteten Zeitsignals (145) in einer beliebigen Station, wenn sie die zweite Marke auf dem ersten Bus erkennt, um das Lesen einer Eingabe aus dem FIFO-Verzögerungsspeicher je Schlitz auf dem ersten Bus zu steuern, um sie in die Zugriffs-Anforderungswarteschlange zu übertragen.
5. Das Verfahren gemäß Anspruch 4, das in einem System mit zwei getrennten Bussen und in dem Schlitz nur auf dem Bus entlanglaufen, auf dem sie generiert werden, folgenden Schritt umfaßt:
- Übertragen der ersten Initialisierungsmarke (M1) in ihrer ursprünglichen oder in modifizierter Form auf den anderen Bus, wenn sie am Ende des einen Busses angekommen ist, auf dem sie freigesetzt wurde, damit sie auch entlang des anderen Bus laufen kann.

6. Das Verfahren gemäß Anspruch 3, das ferner folgenden Schritt umfaßt:
  - Summieren (89, 90) fortlaufender externer Zugriffsanforderungen, die aus dem FIFO-Verzögerungsspeicher gelesen werden, um sie dann als eine einzige Zugriffsanforderungsanzahl in die Zugriffs-Anforderungswarteschlange einzutragen.
7. Das Verfahren gemäß Anspruch 1, das in einem System, in dem eine Vielzahl von Prioritäten für Zugriffsanforderungen für Schlitze vorgesehen ist, folgende Schritte umfaßt:
  - Generieren eines jeden Zeitschlitzes mit einem Prioritätshinweis;
  - Einfügen einer Zugriffsanforderung für eine bestimmte Priorität nur in einen Schlitz, der den entsprechenden Prioritätshinweis trägt, und
  - Vorsehen einer getrennten Zugriffs-Anforderungswarteschlange für jede einzelne der Prioritäten, um externe Zugriffsanforderungen und lokale Zugriffsanforderungen der entsprechenden Priorität zu empfangen.
8. Das Verfahren gemäß Anspruch 1, das ferner folgende Schritte umfaßt:
  - Übertragen einer lokalen Zugriffsanforderung, indem sie in einen Schlitz auf dem zweiten der beiden Busse eingefügt wird, und
  - Kopieren einer jeden Zugriffsanforderung, die in einem passierenden Schlitz auf dem zweiten Bus festgestellt wurde, einschließlich jedweder lokalen Zugriffsanforderung, die von der entsprechenden Station gerade übertragen wurde, um sie in die Zugriffs-Anforderungs-

warteschlange der entsprechenden Station einzufügen.

9. Verfahren zur Regulierung des Zugriffs auf ein Kommunikationsnetzwerk mit zwei g genläufigen Einweg-Übertragungsbussen, einer Vielzahl von Stationen, von denen jede an beide Busse angeschlossen ist, und mindestens einer Kopfstation zur Generierung von Zeitschlitzten, die auf den Bussen laufen, wobei jeder Schlitz ein Zugriffskontrollfeld (ACF) und ein Datensegmentfeld hat, bei dem Verfahren eine jede Station den Zugriff auf einen Schlitz anfordert, indem sie eine Zugriffsanforderung in ein Anforderungsteilfeld des Zugriffskontrollfeldes in einem passierenden Schlitz einfügt, und ihre Berechtigung, auf einen Schlitz zur Datenübertragung zuzugreifen, auf der Grundlage ihrer lokalen Zugriffsanforderungen sowie der externen Zugriffsanforderungen bestimmt, die sie von anderen Stationen in passierenden Schlitzten festgestellt hat,

das Verfahren folgenden Schritt umfaßt:

- dafür zu sorgen, daß eine Reservierung mehrerer Schlitze in dem Anforderungsteilfeld vorgenommen werden kann,

sowie die folgenden Schritte umfaßt, die in jeder Station durchzuführen sind:

- Verwalten eines Verzeichnisses lokaler Zugriffsanforderungen (LOC-REQ), die von der entsprechenden Station generiert wurden, sowie externer Zugriffsanforderungen (EXT-REQ), die sie von anderen Stationen wahrgenommen hat, in Form einer FIFO-Anforderungswarteschlange (41), wobei das Verzeichnis die sequentielle Reihenfolge widerspiegelt, in der die Zugriffsanforderungen aufgetreten sind;
- Einfügen einer Anforderungsanzahl für jede lokale Zu-

griffsanforderung für einen oder mehrere Schlitz in ein leeres Anforderungsteilfeld eines passierenden Schlitzes,

- anschließend Einfügen einer entsprechenden Anzahl lokaler Anforderungen in die FIFO-Anforderungswarteschlange und
- Überwachen des Inhalts des Anforderungsteilfeldes in jedem passierenden Schlitz und Kopieren jedweder externen Zugriffsanforderung sowie deren Weiterleitung (91) als Anzahl externer Anforderungen, um sie in die FIFO-Anforderungswarteschlange einzufügen.

10. Das Verfahren gemäß Anspruch 9, das ferner folgende Schritte umfaßt:

- Erniedrigen der Anzahl der Zugriffsanforderungen im obersten Speicherplatz der Anforderungswarteschlange in jeder Station, wenn sie einen freien Schlitz an ihrem Eingang feststellt, um eine bestimmte Anforderung für einen Schlitz zu entfernen; und
- anfängliches Einführen einer stationsspezifischen Verzögerung (71) bei jeder FIFO-Anforderungswarteschlange, und zwar derart, daß wenn eine Anforderung für einen bestimmten Schlitz kurz davor steht, aus der Anforderungswarteschlange einer Station entfernt zu werden, die entsprechende Station feststellt, daß derselbe bestimmte Schlitz gerade an ihrem Eingang vorbeiläuft, der von jeder beliebigen anderen Station an deren Eingang festgestellt wurde oder festgestellt wird, wenn die Anforderung für denselben bestimmten Schlitz kurz davor steht, aus der Anforderungswarteschlange der betreffenden anderen Station entfernt zu werden.



11. Das Verfahren gemäß Anspruch 10, das ferner folgenden Schritt umfaßt:

- Vorsehen der stationsspezifischen Verzögerung, indem Zugriffsanforderungen, bevor sie in die FIFO-Anforderungswarteschlange eingetragen werden, in einem FIFO-Verzögerungsspeicher (71) gespeichert werden, der ein vorher ausgewählte Anzahl von Eingaben enthält, welche die Verzögerungszeit bestimmen.

12. Das Verfahren gemäß Anspruch 11, das ferner folgende Schritte umfaßt:

- Initialisieren der vom FIFO-Verzögerungsspeicher vorgenommenen Verzögerung in jeder Station, indem auf einem ersten der beiden Busse zwei Initialisierungsmarken (M1, M2) übertragen werden, die durch ein vorher ausgewähltes Zeitintervall (b) getrennt sind;
- Auslösen eines ersten, von Schlitzen auf dem zweiten Bus abgeleiteten Zeitsignals (127) in einer beliebigen Station, wenn sie die erste Marke auf dem entsprechenden zweiten Bus erkennt, um das Schreiben von Anforderungsergebnissen in den FIFO-Verzögerungsspeicher zu steuern, und um für jeden Schlitz, der auf dem zweiten Bus vorbeiläuft, eine Eingabe in den FIFO-Verzögerungsspeicher vorzunehmen, wobei diese Eingabe entweder eine in einem Schlitz enthaltene Anforderungsanzahl darstellt oder gleich Null ist, wenn ein Schlitz keine Zugriffsanforderung enthält, und
- Auslösen eines zweiten, von Schlitzen auf dem ersten Bus abgeleiteten Zeitsignals (145) in einer beliebigen Station, wenn sie die zweite Marke auf dem ersten Bus erkennt, um das Lesen einer Eingabe aus dem FIFO-Verzögerungsspeicher je Schlitz auf dem ersten Bus zu steuern, um sie in die FIFO-Anforderungswarteschlange

zu übertragen.

13. Das Verfahren gemäß Anspruch 10, das ferner folgenden Schritt umfaßt:

- Summieren (89, 90) von externen Zugriffsanforderungen, die fortlaufend aus dem FIFO-Verzögerungsspeicher, ohne einer dazwischen auftretenden lokalen Zugriffsanforderung, gelesen werden, bevor sie in die FIFO-Anforderungswarteschlange eingetragen werden, ebenso wie Summieren von lokalen Zugriffsanforderungen, die aus dem FIFO-Verzögerungsspeicher, ohne einer dazwischen auftretenden externen Zugriffsanforderung, gelesen werden, bevor sie in die FIFO-Anforderungswarteschlange eingetragen werden.

14. Ein Kommunikationsnetzwerk mit zwei gegenläufigen Einweg-Übertragungsbussen, einer Vielzahl von Stationen, von denen jede mit beiden Bussen verbunden ist, und mindestens einer Kopfstation zur Generierung von Zeitschlitz auf einem der Busse, wobei jede Station in dem Netzwerk den Zugriff auf einen Schlitz anfordert, indem sie eine Zugriffsanforderung in einen passierenden Schlitz einfügt, ein Verzeichnis der anstehenden Zugriffsanforderungen führt und ihre Berechtigung, auf einen freien Schlitz zur Datenübertragung zuzugreifen, auf der Grundlage ihrer eigenen lokalen Zugriffsanforderungen sowie externer Zugriffsanforderungen, die sie von anderen Stationen in passierenden Schlitz feststellt hat, bestimmt, und jede Zugriffsanforderung für Schlitz einen Hinweis auf die Anzahl der angeforderten Schlitz enthält,

das Netzwerk in jeder Station eine Vorrichtung zum Vielfachzugriff mit verteilten Warteschlangen enthält, die folgendes aufweist:

- Anforderungswarteschlangen-Speichermittel (41, 85), um

in sequentieller Reihenfolge Anforderungszählwerte zu speichern, die externe Zugriffsanforderungen (EXT-REQ) beziehungsweise lokale Zugriffsanforderungen (LOC-REQ) darstellen,

- Verzögerungsmittel (71, 87), die mit den Anforderungswarteschlangen-Speichermitteln in Reihe geschaltet sind, um eine selektive, stationsspezifische Verzögerung für Anforderungszählwerte vorzusehen, die in die Anforderungswarteschlangen-Speichermittel eingegeben werden, um unterschiedliche Laufzeitverzögerungen auszugleichen, die es bei Schlitzen hinsichtlich der verschiedenen Stationen gibt.
  - Einfügemittel (103, 113, 115; 91, 117, 119), um einen Zählwert lokaler Anforderungen in einen auf einem der Busse passierenden Schlitz einzufügen, und um denselben Zählwert lokaler Anforderungen in die Verzögerungsmittel (71, 87) der Anforderungswarteschlangen-Speichermittel (41, 85) einzufügen, nachdem derselbe Zählwert lokaler Anforderungen in einen passierenden Schlitz auf dem einen Bus eingefügt wurde.
15. Die Vorrichtung gemäß Anspruch 14, in der es sich bei den Anforderungswarteschlangen-Speichermitteln (41, 85) um einen FIFO-Speicher handelt, aus dem immer der bereits am längsten gespeicherte Anforderungszählwert zuerst gelesen wird.
16. Die Vorrichtung gemäß Anspruch 14, die ferner Dekrementierungsmittel (93) aufweist, um einen Anforderungszählwert zu empfangen, der aus den Anforderungswarteschlangen-Speichermitteln (41, 85) gelesen wurde, und um ihren Inhalt nach dem Auftreten eines entsprechenden Steuersignals (131) um eine Einheit zu dekrementieren, das von einer Bussteuereinheit (81) ausgegeben wurde, die das Auftreten von leeren Schlitzen feststellt, und um ein weiteres Steuersignal

(151) an die Anforderungswarteschlangen-Speichermittel zu übertragen, wenn der Inhalt der Dekrementierungsmittel auf Null zurückgegangen ist, um die Übertragung eines weiteren Anforderungszählwertes auszulösen.

17. Die Vorrichtung gemäß Anspruch 14, in der es sich bei den Verzögerungsmitteln (41, 87) um einen FIFO-Verzögerungsspeicher (41, 87) handelt, aus dem immer der bereits am längsten gespeicherte Anforderungszählwert zuerst gelesen wird.
18. Die Vorrichtung gemäß Anspruch 17, die ferner Mittel (111, 175, 181, 183, 185, 187) aufweist, um ein erstes Zeitsignal (127) von den Schlitzen auf einem (B) der beiden Busse abzuleiten, das dazu dient, das Schreiben von Anforderungszählwerten in den FIFO-Verzögerungsspeicher (71) zu steuern, sowie Mittel (129, 154, 157, 159, 161, 163), um ein zweites Zeitsignal (147) von den Schlitzen auf dem anderen (A) der beiden Busse abzuleiten, das dazu dient, das Lesen von Anforderungszählwerten aus dem FIFO-Verzögerungsspeicher zu steuern, und zwar derart, daß das Schreiben in und das Lesen aus dem FIFO-Verzögerungsspeicher mit der Geschwindigkeit der Schlitze auf den entsprechenden Bussen erfolgt.
19. Die Vorrichtung gemäß Anspruch 14 oder 18, die ferner Mittel zur Initialisierung der von den Verzögerungsmitteln (71, 87) vorgenommenen Verzögerung als Reaktion auf zwei verschiedene Initialisierungsmarken (M1, M2) aufweist, die von der Kopfstation in einem bestimmten zeitlichen Abstand voneinander übertragen werden, und die Initialisierungsmittel folgendes aufweisen:
  - Mittel (111, 175, 181, 183, 185, 187), um auf einem (B) der Busse eine erste der beiden Marken (M1, M1') zu erkennen, und um ein erstes Zeitsignal (127) auszulösen, nachdem die erste Marke erkannt worden ist, um

Anforderungszählwerte in die Verzögerungsmittel (71, 87) zu schreiben, und

- Mittel (129, 154, 157, 159, 161, 163), um auf dem anderen (A) Bus die zweite Marke (M2) zu erkennen, und um ein zweites Zeitsignal (147) auszulösen, nachdem die zweite Marke erkannt worden ist, um Anforderungszählwerte aus den Verzögerungsmitteln zu lesen, um sie in die Anforderungswarteschlangen-Speichermittel (41, 85) einzufügen.
20. Die Vorrichtung gemäß Anspruch 14, die ferner Mittel (89, 90) aufweist, um sequentielle Zählwerte externer Anforderungen einerseits sowie sequentielle Zählwerte lokaler Anforderungen andererseits durch Addition zu summieren, die aus den Verzögerungsmitteln (71, 87) gelesen wurden, bevor sie in die Anforderungswarteschlangen-Speichermittel (41, 85) eingegeben werden.
21. Die Vorrichtung gemäß Anspruch 14, die in einem System eingesetzt werden kann, in dem mehrere Prioritätskategorien für Zugriffsanforderungen vorgesehen sind, und die Vorrichtung so viele parallele Anforderungswarteschlangen-Speichermittel und zugehörige Schaltungen aufweist, wie das System Prioritätskategorien hat, so daß Zugriffsanforderungen für jede einzelne Prioritätskategorie getrennt gespeichert und ausgeführt werden können.

FIG. 1A DOPPELBUS-KONFIGURATION

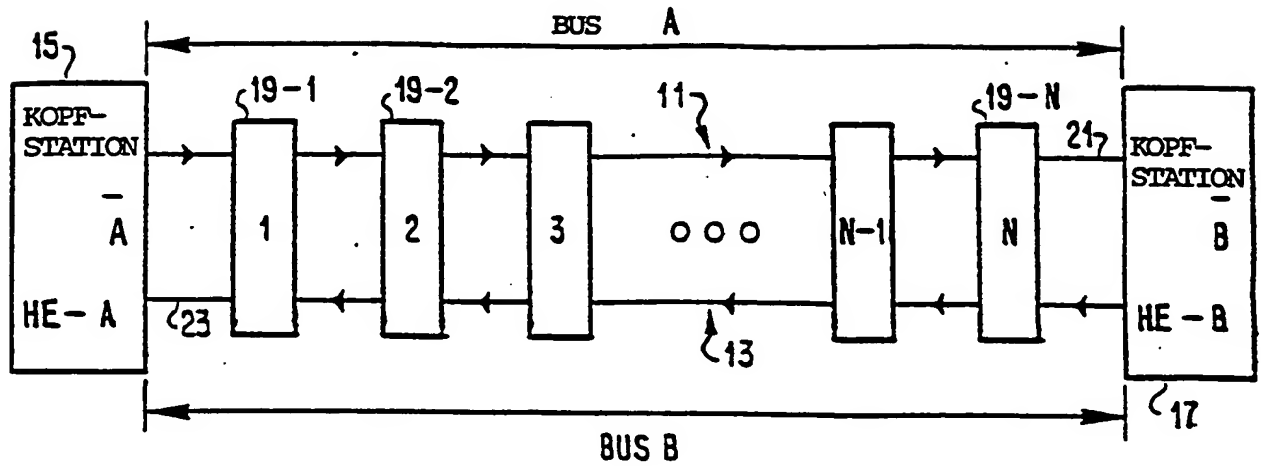


FIG. 1B FALTBUS-KONFIGURATION

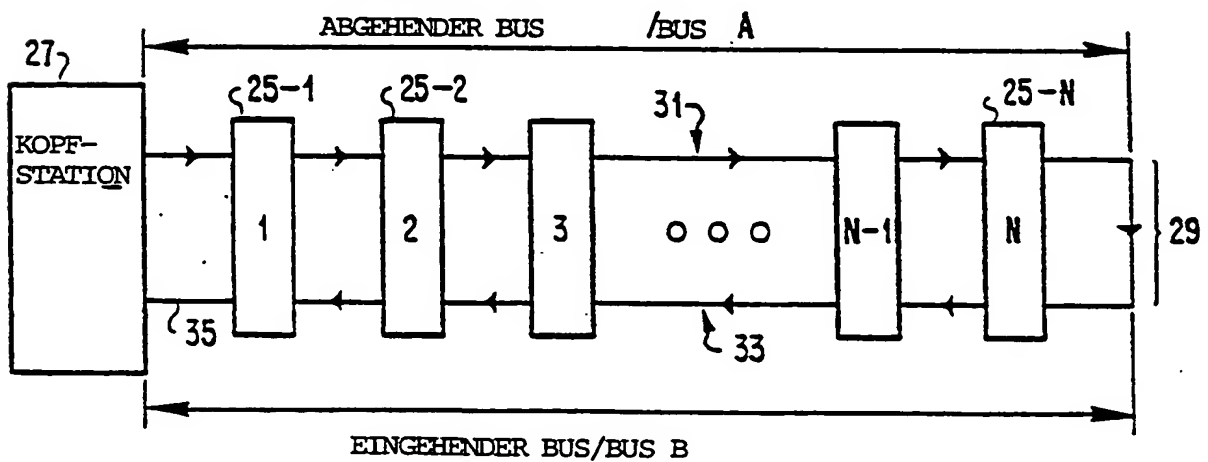




FIG. 2 A ZYKLUSRAHMEN

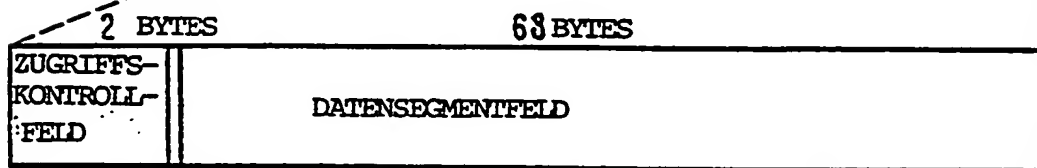


FIG. 2 B SCHLITZFORMAT

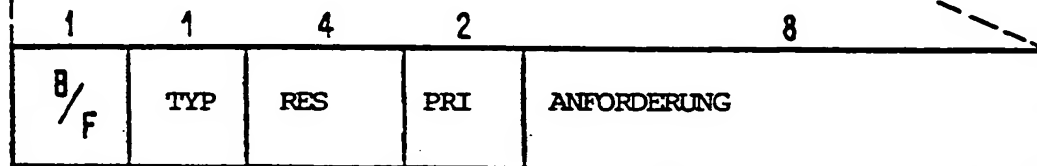


FIG. 2 C ZUGRIFFSKONTROLLFELD

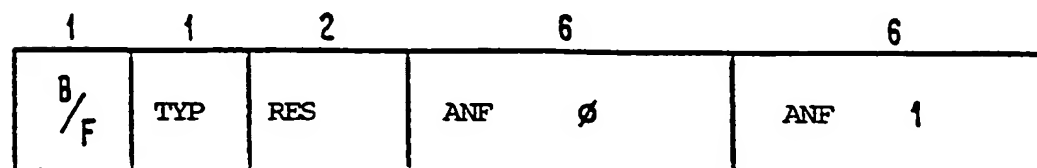
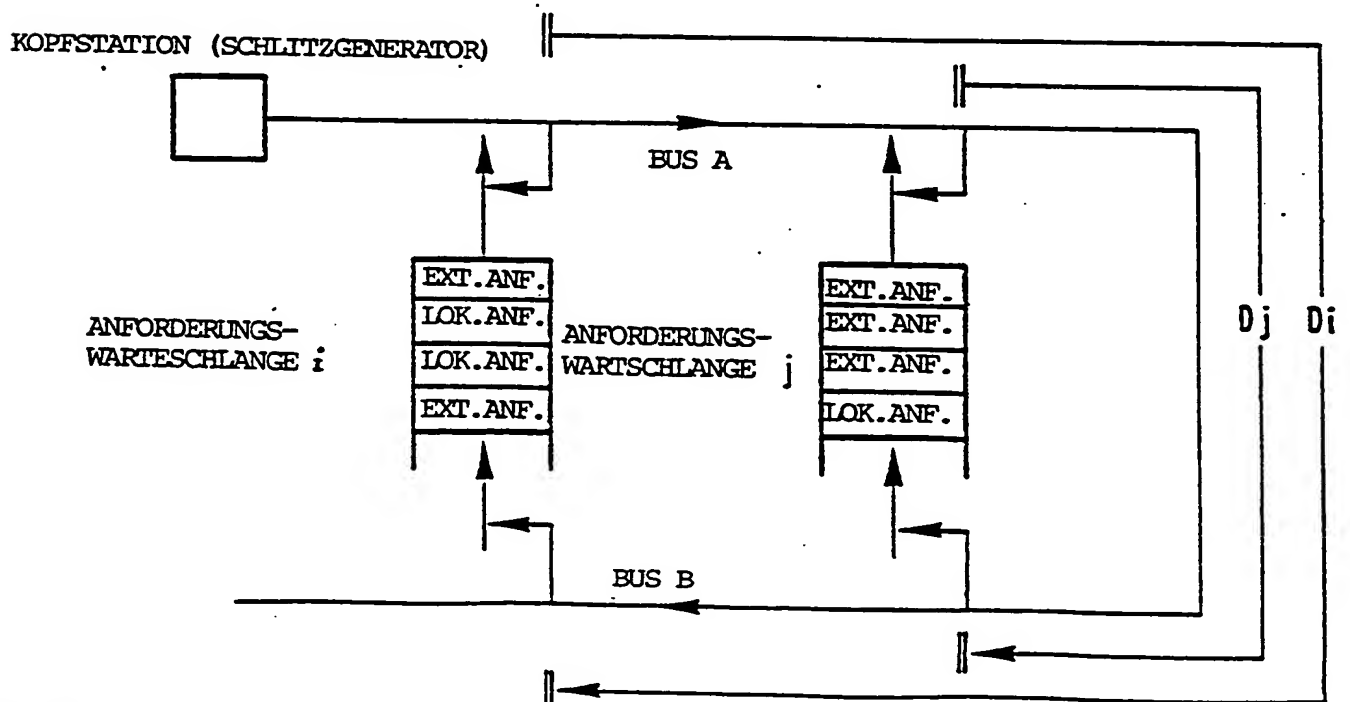
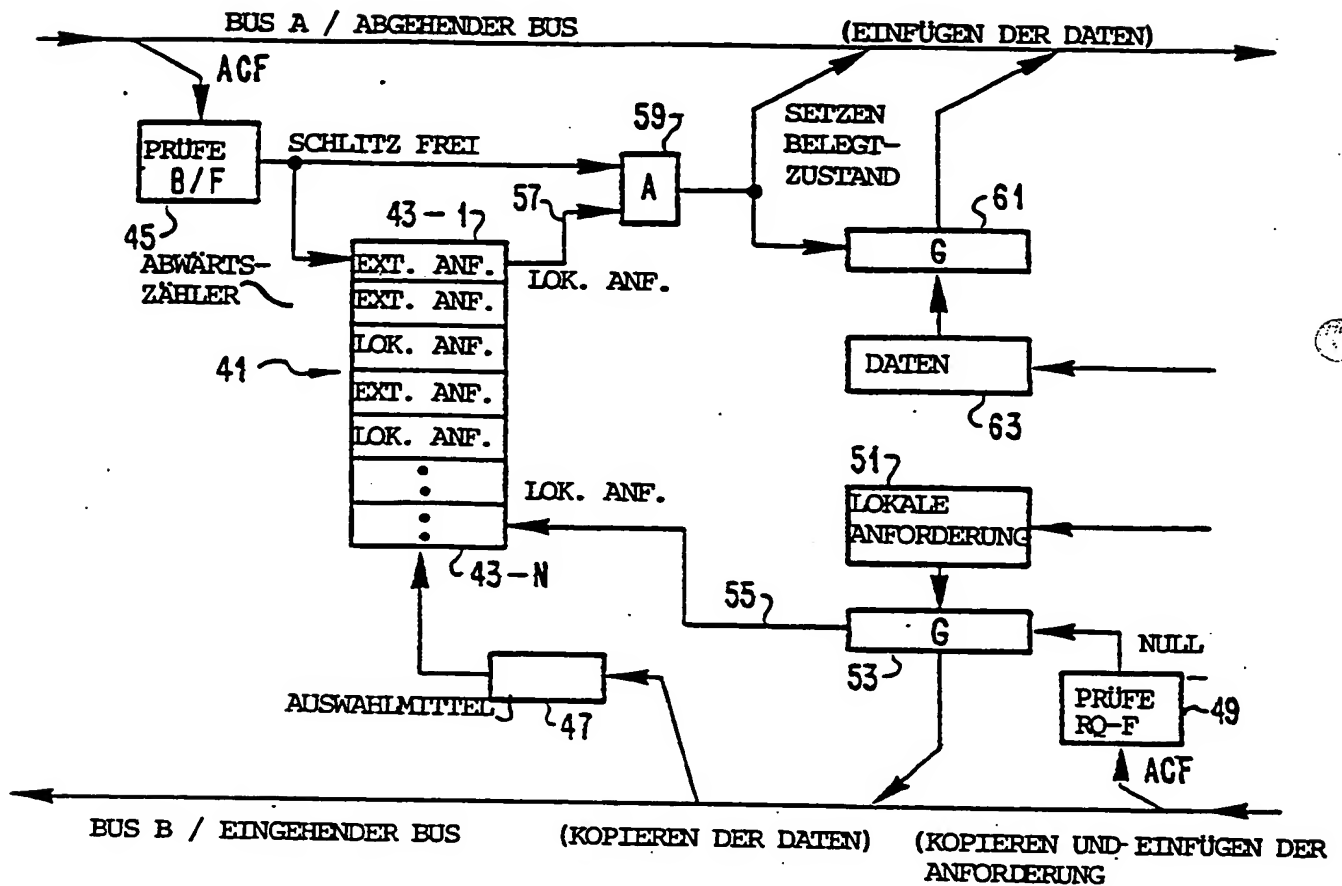


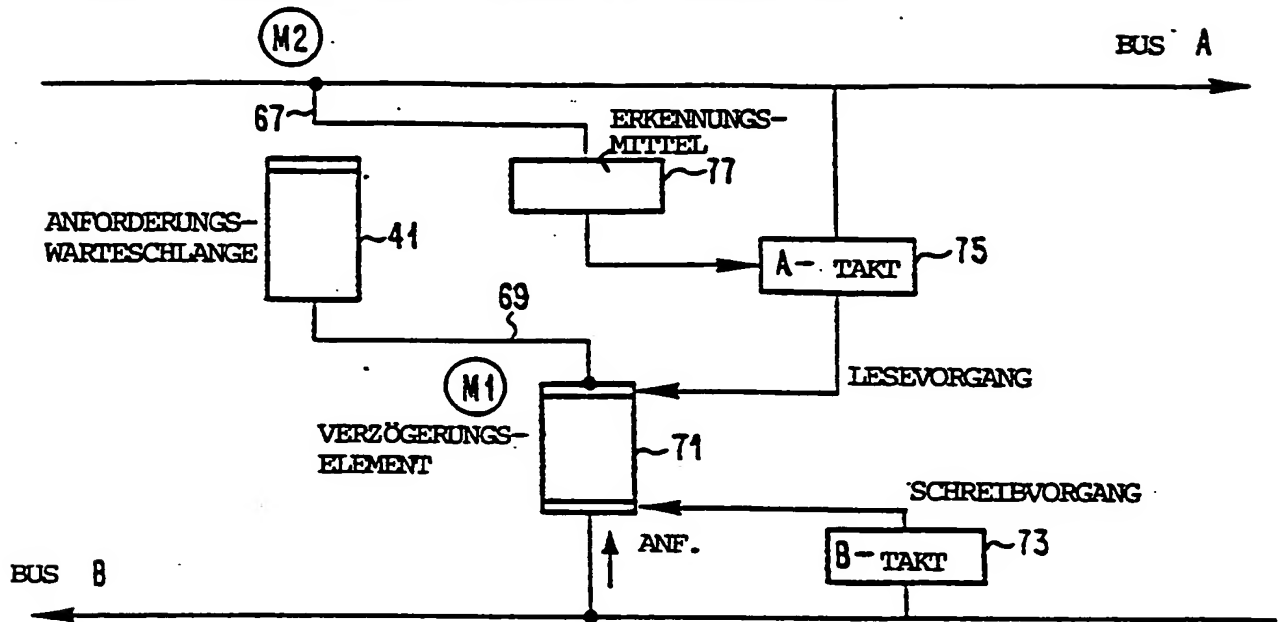
FIG. 2 D ACF MIT MEHREREN ANFORDERUNGSFELDERN

**FIG. 3. PRINZIPIELLE FIFO-ANFORDERUNGSWARTESCHLANGE**





### FIG. 5 ANFORDERUNGSWARTESCHLANGE MIT VERZÖGERUNG



**FIG. 6**    **FIFO-WARTESCHLANGEN MEHRERER STATIONEN MIT VERZÖGERUNG**

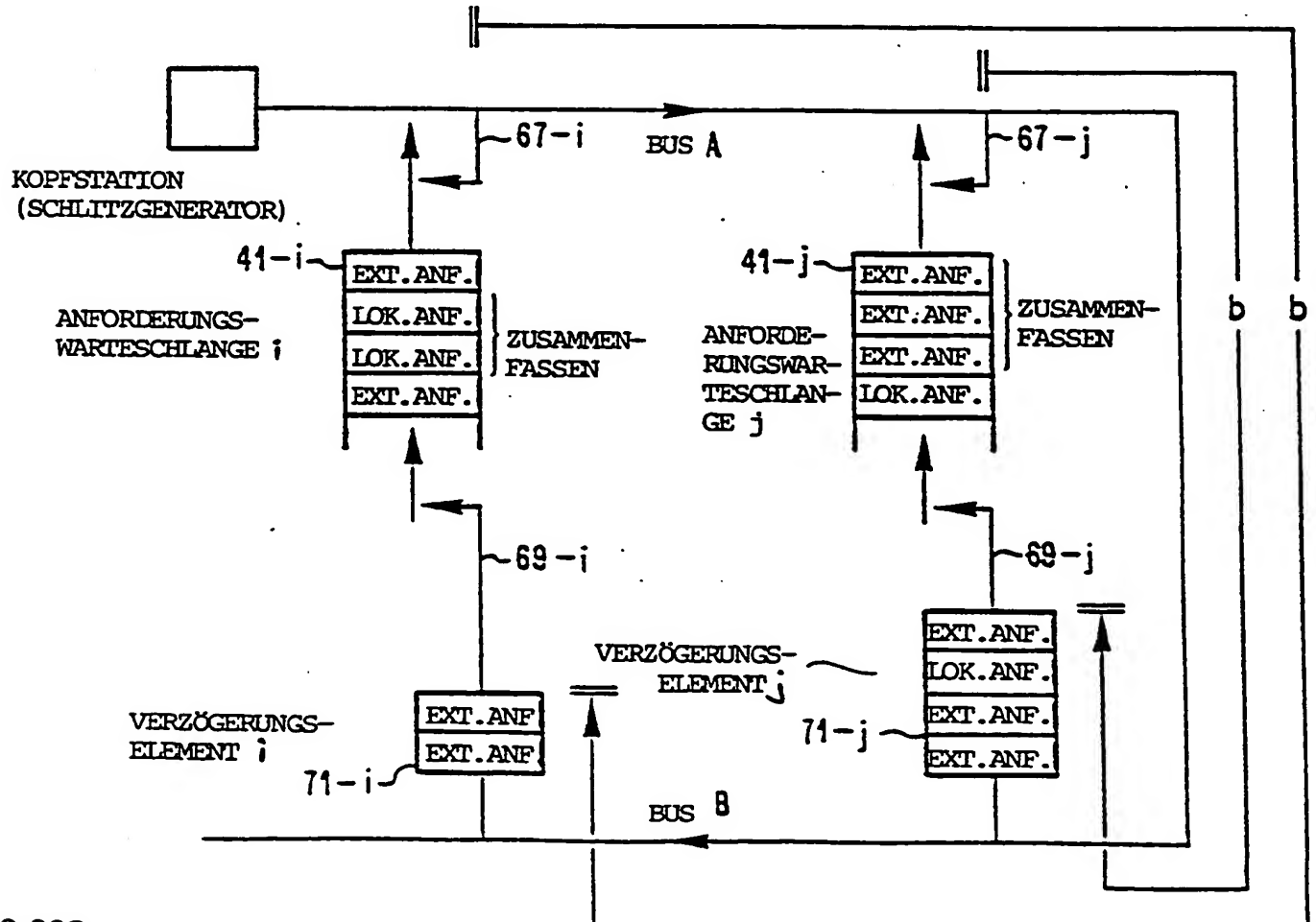


FIG. 7 A

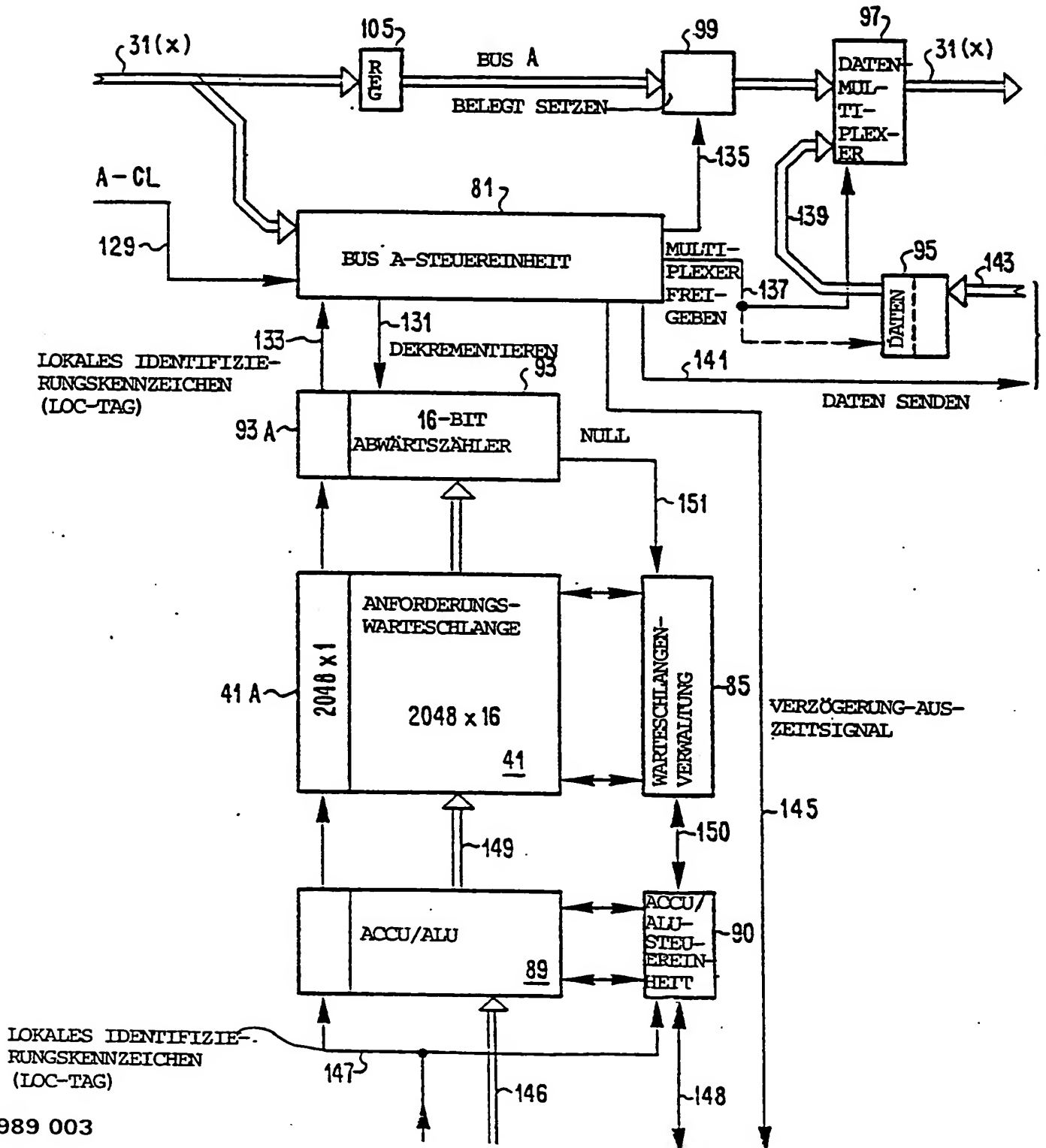


FIG. 7B

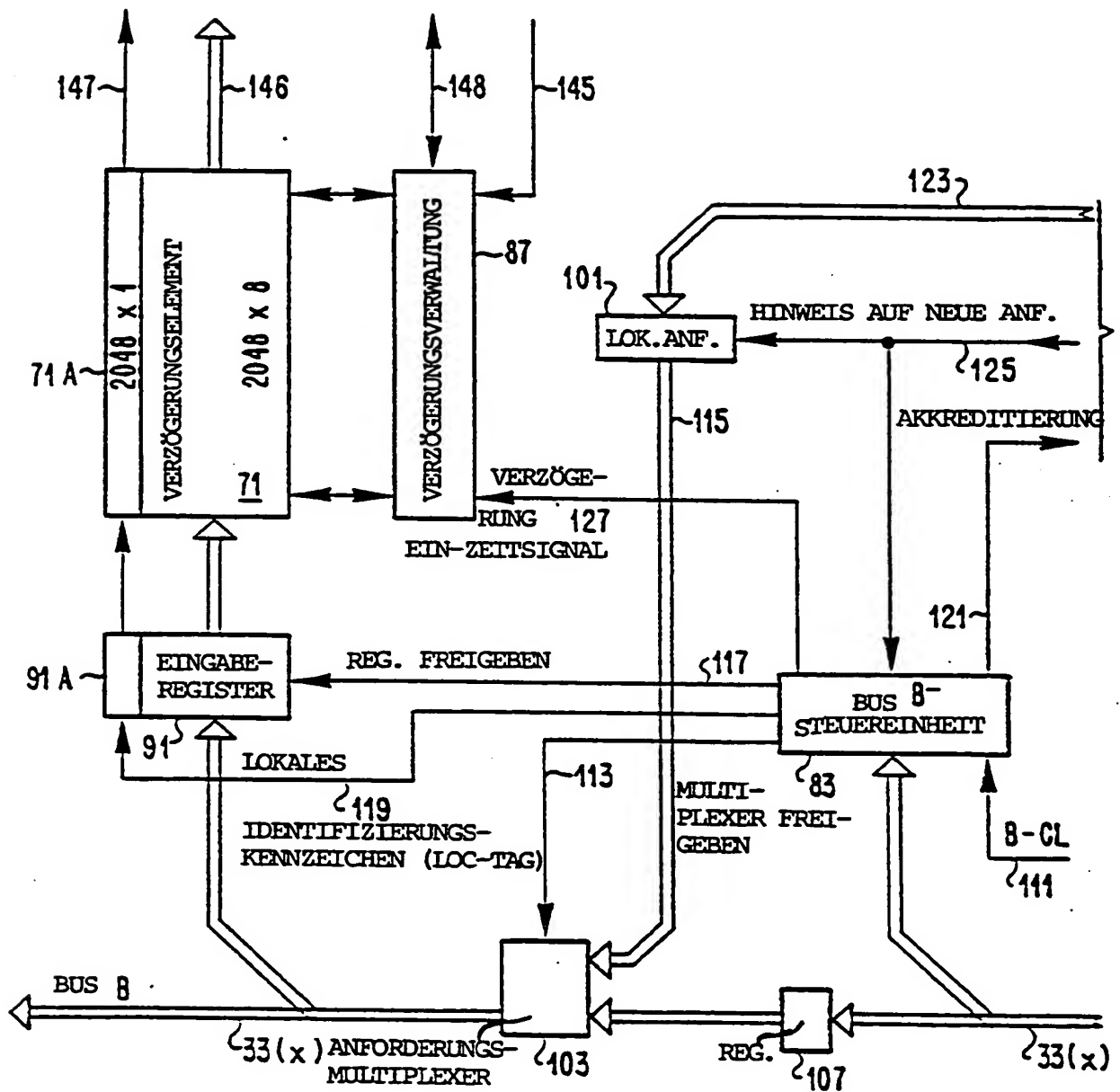


FIG. 8 BUS A-STEUEREINHEIT

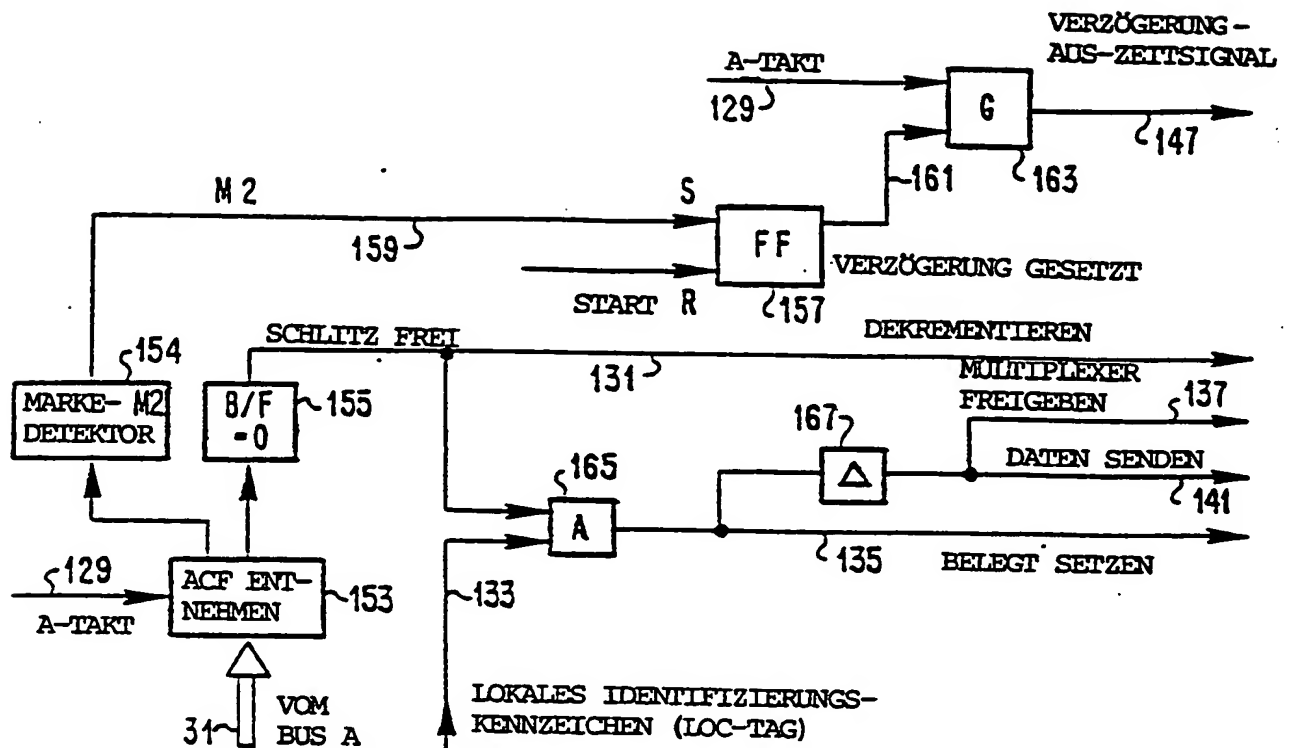
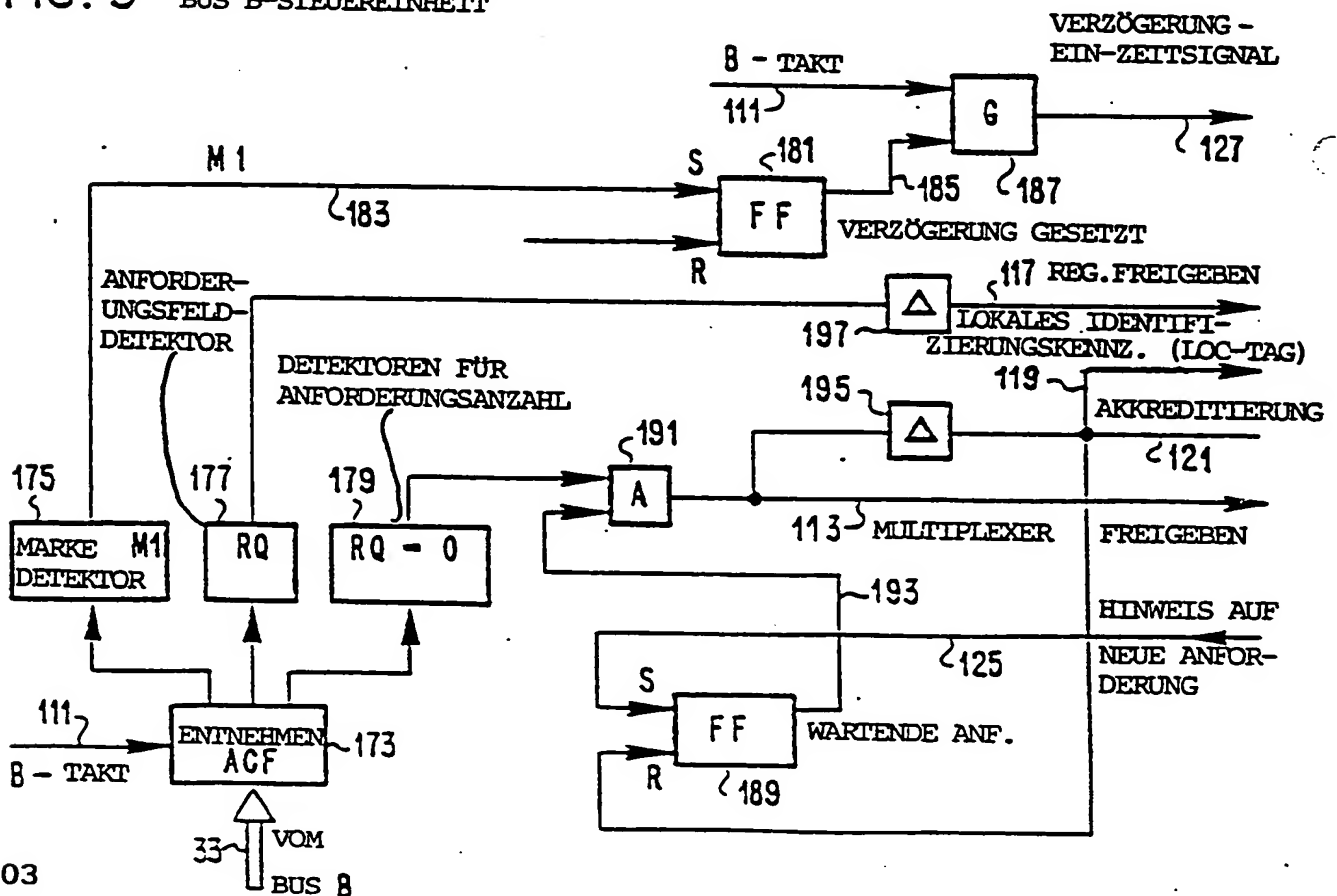


FIG. 9 BUS B-STEUEREINHEIT



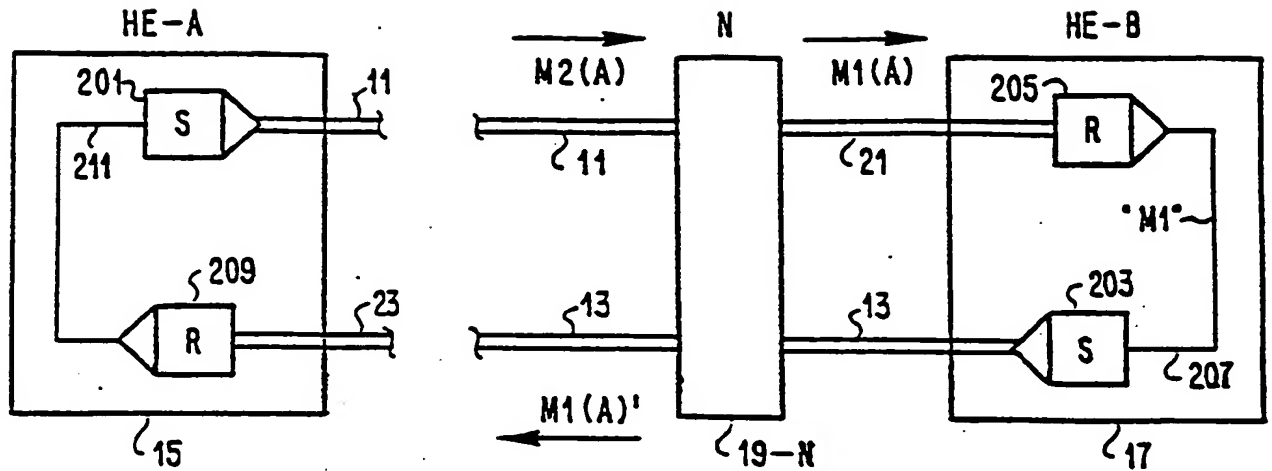
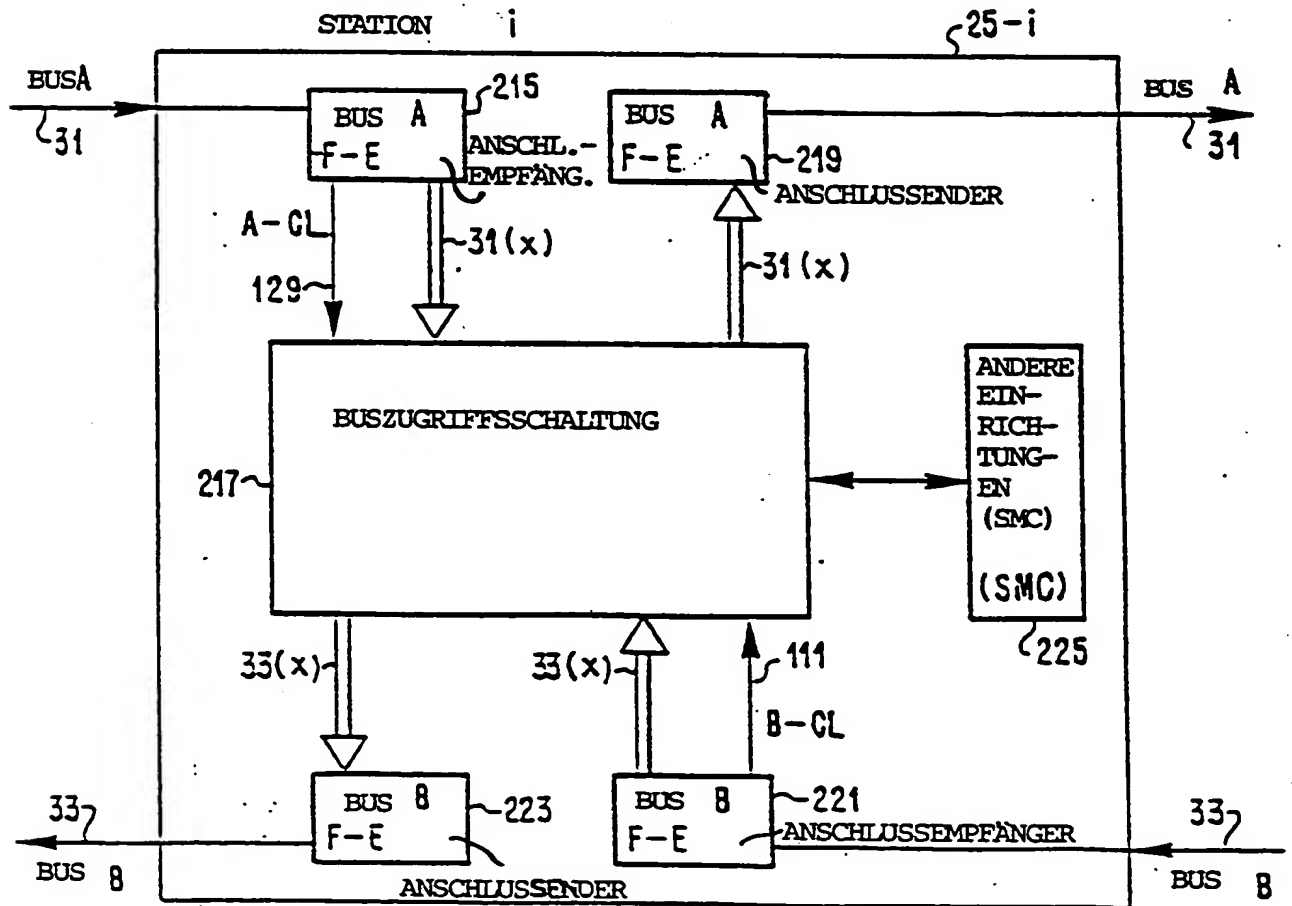


FIG. 10 UMLAUF IN EINEM DOPPELBUSSYSTEM



SZ 989 003 FIG. 11 SIGNALUMWANDLUNG ZWISCHEN BUS UND STATION (KNOTEN)

**THIS PAGE BLANK (USPTO)**